

AJ

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12491021

Basic Patent (No,Kind,Date): DE 4446330 A1 19950720 <No. of Patents: 007>

BILDANZEIGEVORRICHTUNG Active matrix video display with power saving
(German)

Patent Assignee: SHARP KK (JP)

Author (Inventor): KUBOTA YASUSHI (JP); YONEDA HIROSHI (JP); KATOH KENICHI
(JP)

IPC: *G09G-003/34; G09G-003/18

CA Abstract No: *125(10)128001T;

Derwent WPI Acc No: *G 95-255999; G 95-255999

Language of Document: German

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1115535	A	19960124	CN 94120747	A	19941224
CN 1112797	B	20030625	CN 94120747	A	19941224
DE 4446330	A1	19950720	DE 4446330	A	19941223 (BASIC)
JP 7181927	A2	19950721	JP 93326430	A	19931224
JP 8137443	A2	19960531	JP 94275302	A	19941109
KR 139697	B1	19980615	KR 9436551	A	19941224
US 5748165	A	19980505	US 363017	A	19941223

Priority Data (No,Kind,Date):

JP 93326430 A 19931224

JP 94275302 A 19941109

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05181943 **Image available**

IMAGE DISPLAY DEVICE

PUB. NO.: 08-137443 [JP 8137443 A]

PUBLISHED: May 31, 1996 (19960531)

INVENTOR(s): KUBOTA YASUSHI

 KATO KENICHI

 YONEDA YUTAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 06-275302 [JP 94275302]

FILED: November 09, 1994 (19941109)

INTL CLASS: [6] G09G-003/36; G02F-001/133

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
 Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
 MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
 Metal Oxide Semiconductors, MOS); R116 (ELECTRONIC MATERIALS
 -- Light Emitting Diodes, LED)

ABSTRACT

PURPOSE: To suppress a charge/discharge current of a data signal line, to lower an operational voltage of a data signal line driving circuit, to reduce power consumption in an image display device, to lower breakdown strength of components and to reduce the manufacturing cost and operational cost.

CONSTITUTION: The data signal line drive circuits 3, 4 are provided respectively, on both side sides placed opposite to each other of a pixel array 1. Source voltages of individually different levels are applied to the data signal line drive circuits 3, 4 so that every circuit outputs one side video signal. Two adjacent data signal lines $SL(\text{sub } i)$, $SL(\text{sub } i+1)$ are connected to the data signal line driving circuits 3, 4 by analog switches 8, 9. In a certain display period, the analog switch 8 selects the data signal line $SL(\text{sub } i)$, and the analog switch 9 selects the data signal line $SL(\text{sub } i+1)$. In the next period, opposite selection are performed.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-137443

(43)公開日 平成8年(1996)5月31日

(51)Int. Cl. ⁶

G09G 3/36

G02F 1/133

識別記号

550

F I

審査請求 未請求 請求項の数13 O L (全26頁)

(21)出願番号 特願平6-275302

(22)出願日 平成6年(1994)11月9日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 加藤 憲一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 米田 裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

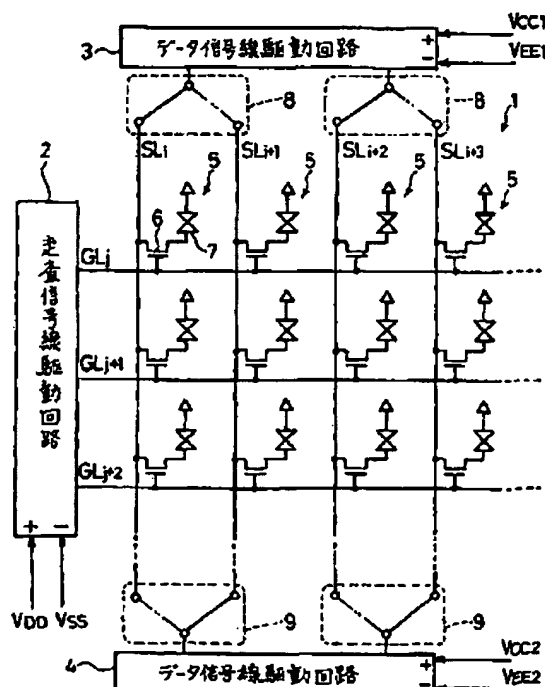
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 画像表示装置

(57)【要約】

【構成】 画素アレイ1の対向する両辺側にそれぞれデータ信号線駆動回路3・4を設ける。データ信号線駆動回路3・4には、それぞれが一方の極性の映像信号を出力するように個々に異なるレベルの電源電圧を与える。隣接する2本のデータ信号線SL_i・SL_{i+1}をアナログスイッチ8・9にてデータ信号線駆動回路3・4に接続する。ある表示期間では、アナログスイッチ8がデータ信号線SL_iを選択し、アナログスイッチ9がデータ信号線SL_{i+1}を選択する。次の表示期間では、逆の選択を行なう。

【効果】 データ信号線SL_i・SL_{i+1}…の充放電電流を抑え、データ信号線駆動回路3・4の動作電圧を低下させることができる。この結果、画像表示装置の低消費電力化および構成素子の低耐圧化を図ることができ、製造コストおよび動作コストの低減が可能になる。



【特許請求の範囲】

【請求項1】マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、

1行の上記画素に接続された走査信号線と、

1列の上記画素に接続されたデータ信号線と、

上記走査信号線に走査信号を与える走査信号線駆動回路と、

2系統設けられてそれぞれが異なる電圧レベルの電源にて駆動され、上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えると同時に、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、

偶数列の上記データ信号線に一方の上記データ信号線駆動回路からの映像信号を与え、奇数列の上記データ信号線に他方の上記データ信号線駆動回路からの映像信号を与えると同時に、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに対応するデータ信号線駆動回路を入れ替える入替手段とを備えていることを特徴とする画像表示装置。

【請求項2】上記入替手段が、上記データ信号線駆動回路の1つの出力段に共通して接続されるとともに、対になる奇数列および偶数列の2本の上記データ信号線に接続されて映像信号を取り込む2系統のスイッチング素子を有しており、両スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ信号線駆動回路と上記データ信号線との接続を行なうことを特徴とする請求項1に記載の画像表示装置。

【請求項3】上記入替手段が、上記データ信号線駆動回路の1つの出力段に接続されるとともに、映像信号を取り込む第1スイッチング素子と、第1スイッチング素子に取り込まれた映像信号を2本の上記データ信号線に与える2系統の第2スイッチング素子とを有しており、第2スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ信号線駆動回路と上記データ信号線との接続を行なうことを特徴とする請求項1に記載の画像表示装置。

【請求項4】上記データ信号線駆動回路、上記入替手段および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されていることを特徴とする請求項1ないし3のいずれかに記載の画像表示装置。

【請求項5】上記スイッチング素子または上記第1および第2スイッチング素子が、並列に接続されたnチャネルトランジスタとpチャネルトランジスタとからなるCMOS構成のゲートであることを特徴とする請求項2または3に記載の画像表示装置。

【請求項6】マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、

1行の上記画素に接続された走査信号線と、

1列の上記画素に接続されたデータ信号線と、

上記走査信号線に走査信号を与える走査信号線駆動回路と、

2系統設けられてそれぞれが上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えると同時に、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、

異なる電圧レベルの2系統の電源を上記データ信号線駆動回路のそれぞれに所定のデータ表示期間毎に切り替えて接続する接続手段とを備え、

上記データ信号線駆動回路および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されていることを特徴とする画像表示装置。

【請求項7】上記接続手段が上記絶縁基板上に形成されていることを特徴とする請求項6に記載の画像表示装置。

【請求項8】2系統の上記データ信号線駆動回路が、それぞれ一方の極性の映像信号のみをデータ信号線に与えるような電源電圧で駆動されることを特徴とする請求項1または6に記載の画像表示装置。

【請求項9】上記データ信号線駆動回路が、映像信号をサンプリングして上記データ信号線に転送するサンプリング手段を備えていることを特徴とする請求項1または6に記載の画像表示装置。

【請求項10】上記データ信号線駆動回路が、映像信号をサンプリングするサンプリング手段と、上記サンプリング手段によりサンプリングされた映像信号を一旦保持する保持手段と、

上記保持手段により保持された映像信号を増幅して上記データ信号線に転送する増幅手段とを備えていることを特徴とする請求項1または6に記載の画像表示装置。

【請求項11】上記データ信号線駆動回路が、映像情報を表すデジタル信号をサンプリングするサンプリング手段と、

上記サンプリング手段によりサンプリングされたデジタル信号に基づいて複数の離散的な電圧の1つを選択して上記データ信号線に転送する選択手段とを備えていることを特徴とする請求項1または6に記載の画像表示装置。

【請求項12】2系統の上記データ信号線駆動回路が、ともに画素マトリクスの同一辺側に配置されていることを特徴とする請求項1または6に記載の画像表示装置。

【請求項13】上記各画素が液晶素子を有していることを特徴とする請求項1または6に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス駆動される液晶表示装置等において、データ信号線駆動

回路の低電圧駆動を可能にする画像表示装置に関するものである。

【0002】

【従来の技術】画像表示装置は、使用目的等に応じた駆動方式を採用しているが、その中でも、グラフィックス表示に適したアクティブマトリクス駆動方式のものがよく知られている。この種の画像表示装置は、図22に示すように、画素アレイ121と、走査信号線駆動回路122と、データ信号線駆動回路123と、タイミング信号生成回路124とを備えている。このような構成の画像表示装置において、走査信号線駆動回路122は、タイ

ミング信号生成回路124で同期信号に基づいて生成されたタイミング信号を用いて、画素アレイ121における後述の各走査信号線 GL_1, GL_{11}, \dots に対して走査信号を出力する。また、データ信号線駆動回路123は、上記のタイミング信号を用いて、サンプリングした映像信号を後述のデータ信号線 SL_1, SL_{11}, \dots に転送（または、増幅して転送）する。

【0003】図23の(a)に示すように、画素アレイ121においては、多数の走査信号線 GL_1, GL_{11}, \dots と多数のデータ信号線 SL_1, SL_{11}, \dots とが交差する状態で配されており、隣接する2本の走査信号線 $GL \cdot GL$ と隣接する2本のデータ信号線 $SL \cdot SL$ とで包囲された部分に画素125が設けられている。このように、画素125…は、画素アレイ121内でマトリクス状に配列されており、1列あたりに1本のデータ信号線 SL が割り当てられ、1行あたりに1本の走査信号線 GL が割り当てられている。

【0004】液晶表示装置の場合、各画素125は、図23の(b)に示すように、スイッチング素子としてのトランジスタ126と、液晶容量 C_L および必要に応じて付加される補助容量 C_s からなる画素容量127とによって構成されている。一般に、アクティブマトリクス型液晶表示装置においては、画素125には表示を安定させるために、液晶容量 C_L と並行に補助容量 C_s が付加されている。補助容量は、液晶容量 C_L やトランジスタ126のリーク電流、トランジスタ126のゲート・ソース間容量等の寄生容量による画素電位の変動、液晶容量 C_L の表示データ依存性等の影響を最小限に抑えるためのものである。

【0005】トランジスタ126のゲートは、走査信号線 GL_1 に接続されている。また、液晶容量 C_L および補助容量 C_s の一方の電極は、トランジスタ126のドレインおよびソースを介してデータ信号線 SL_1 に接続され、液晶容量 C_L の他方の電極は、液晶セルを挟んで対向電極に接続されている。さらに、補助容量 C_s の他方の電極は、全画素に共通の図示しない共通電極線(Cs on Common構造の場合)、または隣接する走査信号線 GL (Cs on Gate構造の場合)に接続されている。後者の場合には、走査信号線 GL_1 の寄生容量が増加するた

め、信号の遅延の増大や信号波形のなまりが生ずるという問題がある。一方、前者の場合には、走査信号線の寄生容量の増加はないが、新たに走査信号線 GL_1 と並行に補助容量線を敷設する必要があるため、開口率が低下するという問題がある。

【0006】多数の走査信号線 GL_1, GL_{11}, \dots は、走査信号線駆動回路122に接続され、多数のデータ信号線 SL_1, SL_{11}, \dots は、データ信号線駆動回路123に接続されている。また、走査信号線駆動回路122およびデータ信号線駆動回路123は、図示しないが、それぞれ異なる電源電圧 V_{G1}, \dots, V_{Gn} と電源電圧 V_{CC}, V_{EE} とにより駆動されている。

【0007】上記の画像表示装置において、データ信号線駆動回路123は、表示用データ信号を1画素毎に、または1水平走査期間(1Hライン)毎に、データ信号線 SL_1, SL_{11}, \dots に出力する。また、走査信号線 GL_1, GL_{11}, \dots がアクティブ状態になるとトランジスタ126が導通状態となり、これによって、データ信号線 SL_1, SL_{11}, \dots 上に送られる表示用データ信号が画素容量127に書き込まれる。そして、画素容量127に書き込まれた電荷により表示が維持されることになる。

【0008】このとき、液晶容量 C_L の劣化を防ぐために交流駆動を行う必要がある。この交流駆動(反転駆動)をフレーム周期で行なうと、信号のフレーム周波数により異なるが、例えば30Hzまたは25Hzのフリッカが目立つ。このため、フレーム反転に加えて、図24の(a)および(b)に示すように、1水平走査期間毎に極性を反転させる、いわゆる「フレーム+ゲートライン反転」駆動、または、図25に示すように、フィールド内で1列毎にデータ信号の極性を反転させるとともに1垂直走査期間毎に極性を反転させる、いわゆる「フレーム+ソースライン反転」駆動のいずれかを行なうことが通例になっている。

【0009】

【発明が解決しようとする課題】ところが、液晶表示装置のように交流駆動を行う必要のある画像表示装置においては、表示している内容(情報)が変化しなくても、映像信号をデータ信号線駆動回路123からデータ信号線 SL_1, SL_{11}, \dots に定期的に供給し、各画素125…へのデータの書き込みを行う必要がある。したがって、表示に際しては、多大な電流が必要となる。

【0010】また、前述の「フレーム+ゲートライン反転」駆動の場合には、図24の(a)に示すように、データ信号線 SL_1, SL_{11}, \dots に出力されるデータ信号の極性が各走査信号線 GL_1, GL_{11}, \dots の選択毎に反転するため、極性の反転に伴うデータ信号線 SL_1, SL_{11}, \dots の充放電電流による電力消費がかさむ。そのうえ、図24の(b)に示すように、データ信号線駆動回路123の出力電圧範囲を抑えるために対向電極の交流駆動を行なうので、これによっても電力消費がかさむ。このよ

うに、「フレーム+ゲートライン反転」駆動を採用した場合、画像表示装置の電力消費が増大するという問題がある。

【0011】一方、前述の「フレーム+ソースライン反転」駆動の場合には、図25に示すように、1垂直走査期間において同極性の信号が書き込まれるので、データ信号線 SL_1, SL_2, \dots の充放電量が図中斜線部分に示すように小さくなる。しかも、一般に、近接画素同士の映像データは比較的似ているため、データ信号線 SL_1, SL_2, \dots の充放電量がかなり小さくなると期待される。したがって、データ信号線 SL_1, SL_2, \dots の充放電電流による電力消費を低減させることができる。

【0012】しかしながら、「フレーム+ソースライン反転」駆動では、「フレーム+ゲートライン反転」駆動において行われている対向電極の交流駆動ができないため、データ信号線の出力電圧範囲が大きくなる。この結果、電力消費が増大するとともに、駆動回路の耐圧を上げる必要が生じてしまう。

【0013】なお、図24および図25において、太い実線はデータ信号線 SL_1, SL_2, \dots への印加電圧波形を示し、破線は対向電極への印加電圧波形を示し、斜線部分はデータ信号線 SL_1, SL_2, \dots の充放電に伴う消費電流を示している。

【0014】画像表示装置、特に液晶表示装置においては、電力が電圧の二乗に比例することを利用して、データ信号線 SL_1, SL_2, \dots に与える電圧の範囲を狭くし、より低い電圧でデータ信号線駆動回路123を駆動することにより、データ信号線 SL_1, SL_2, \dots の消費電力を抑えることが望ましい。ところが、液晶表示装置においては反転駆動を行なう必要があるため、上記のような従来の駆動方法によっては、データ信号線駆動回路123が液晶駆動電圧の2倍（正極信号と負極信号との和）の範囲の電圧をデータ信号線 SL_1, SL_2, \dots に与える必要があり、これが電力消費を増大させることになっていた。

【0015】ところで、近年、この種の画像表示装置は、携帯型情報端末機器の表示用装置として用いられる機会が多くなり、屋外での使用が前提となっているものがある。このため、バッテリー等の小型電源による駆動が必要になり、低消費電力化が大きな課題となっている。したがって、上記のような電力消費の増大は、画像表示装置の携帯化にとって大いに不利となる。

【0016】上記の問題を解決するために、アモルファスシリコン（a-Si）TFTを用いたアクティブマトリクス型液晶表示装置において、「フレーム+ソースライン反転」駆動に加えて、データ線駆動回路の出力範囲を保ったまま電源電圧を交流的に変化させることにより、データ線駆動回路を低電圧にて駆動して消費電力の低減を図る方法が提案されている（Society for Information Display 1993年予稿集 4.3）。しかしながら、こ

こで提案された液晶表示装置は、消費電力の低減にある程度の効果があるとともに、データ線駆動回路の低耐圧化にも有効であるものの、電源電圧を交流的に変化させるため、外部電源回路の負荷が重くなるだけでなく、電源切り替え時にノイズ等が発生して誤動作や表示の乱れを招くおそれがある。

【0017】本発明は、上記の事情に鑑みてなされたものであって、動作マージンを確保しつつ、消費電力をより低減するとともに、駆動系および画素アレイを構成する素子に要求される耐圧を低下させることができる画像表示装置を提供することを目的としている。

【0018】

【課題を解決するための手段】本発明の画像表示装置は、上記の課題を解決するために、次のように前記の各請求項に記載された手段を講じていることを特徴としている。

【0019】請求項1に記載の画像表示装置は、マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、1行の上記画素に接続された走査信号線と、1列の上記画素に接続されたデータ信号線と、上記走査信号線に走査信号を与える走査信号線駆動回路と、2系統設けられてそれぞれ異なる電圧レベルの電源にて駆動され、上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、偶数列の上記データ信号線に一方の上記データ信号線駆動回路からの映像信号を与え、奇数列の上記データ信号線に他方の上記データ信号線駆動回路からの映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに対応するデータ信号線駆動回路を入れ替える入替手段とを備えている。

【0020】請求項2に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記入替手段が、上記データ信号線駆動回路の1つの出力段に共通して接続されるとともに、対になる奇数列および偶数列の2本の上記データ信号線に接続されて映像信号を取り込む2系統のスイッチング素子を有しており、両スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ信号線駆動回路と上記データ信号線との接続を行なうようになっている。

【0021】請求項3に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記入替手段が、上記データ信号線駆動回路の1つの出力段に接続されるとともに、映像信号を取り込む第1スイッチング素子と、第1スイッチング素子に取り込まれた映像信号を2本の上記データ信号線に与える2系統の第2スイッチング素子とを有しており、第2スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ

10

20

30

40

50

信号線駆動回路と上記データ信号線との接続を行なうようになっている。

【0022】請求項4に記載の画像表示装置は、請求項1ないし3のいずれかに記載の画像表示装置において、上記データ信号線駆動回路、上記入替手段および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されている。

【0023】請求項5に記載の画像表示装置は、請求項2または3に記載の画像表示装置において、上記スイッチング素子または上記第1および第2スイッチング素子が、並列に接続されたnチャネルトランジスタとpチャネルトランジスタとからなるCMOS構成のゲートである。

【0024】請求項6に記載の画像表示装置は、マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、1行の上記画素に接続された走査信号線と、1列の上記画素に接続されたデータ信号線と、上記走査信号線に走査信号を与える走査信号線駆動回路と、2系統設けられてそれぞれが上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えると同時に、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、異なる電圧レベルの2系統の電源を上記データ信号線駆動回路のそれぞれに所定のデータ表示期間毎に切り替えて接続する接続手段とを備え、上記データ信号線駆動回路および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されている。

【0025】請求項7に記載の画像表示装置は、請求項6に記載の画像表示装置において、上記接続手段が上記絶縁基板上に形成されている。

【0026】請求項8に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、2系統の上記データ信号線駆動回路が、それぞれ一方の極性の映像信号のみをデータ信号線に与えるような電源電圧で駆動されるようになっている。

【0027】請求項9に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、上記データ信号線駆動回路が、映像信号をサンプリングして上記データ信号線に転送するサンプリング手段を備えている。

【0028】請求項10に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、上記データ信号線駆動回路が、映像信号をサンプリングするサンプリング手段と、上記サンプリング手段によりサンプリングされた映像信号を一旦保持する保持手段と、上記保持手段により保持された映像信号を増幅して上記データ信号線に転送する増幅手段とを備えている。

【0029】請求項11に記載の画像表示装置は、請求

項1または6に記載の画像表示装置において、上記データ信号線駆動回路が、映像情報を表すデジタル信号をサンプリングするサンプリング手段と、上記サンプリング手段によりサンプリングされたデジタル信号に基づいて複数の離散的な電圧の1つを選択して上記データ信号線に転送する選択手段とを備えている。

【0030】請求項12に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、2系統の上記データ信号線駆動回路が、ともに画素マトリクスの同一辺側に配置されている。

【0031】請求項13に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、上記各画素が液晶素子を有している。

【0032】

【作用】請求項1の画像表示装置では、入替手段により、上記データ信号線の偶数列と奇数列とには、あるデータ表示期間において、それぞれ異なるデータ信号線駆動回路から映像信号が与えられ、次のデータ表示期間において、それぞれ前のデータ表示期間とは異なるデータ信号線駆動回路から映像信号が与えられる。また、異なる電源系で駆動される2系統のデータ信号線駆動回路により、例えば、あるデータ表示期間において、データ信号線の偶数列には正極の映像信号が与えられ、データ信号線の奇数列には負極の映像信号が与えられる。そして、次のデータ表示期間において、データ信号線の偶数列には負極の映像信号が与えられ、データ信号線の奇数列には正極の映像信号が与えられる。

【0033】すなわち、上記のように、入替手段による動作と、データ信号線駆動回路の「フレーム＋ソースライン反転」駆動とを組み合わせることにより、それぞれのデータ信号線駆動回路が一方の極性の映像信号のみを扱えばよくなる。それゆえ、データ信号線駆動回路の駆動電圧を低下させることができる。

【0034】請求項2の画像表示装置では、データ信号線駆動回路とデータ信号線との接続時に一方のスイッチング素子を導通させるので、映像信号線またはデジタルドライバ方式における電源線とデータ信号線との間には1つのスイッチング素子のみが存在するだけである。これにより、スイッチング素子の導通時のインピーダンスが小さくなり、映像信号をデータ信号線に容易に与えることができる。

【0035】請求項3の画像表示装置では、映像信号が、一旦第1スイッチング素子に取り込まれてから、2系統の第2スイッチング素子を経てデータ信号線のいずれか一方に与えられる。この構成では、第1スイッチング素子の後に、さらに第2スイッチング素子を付加するだけでよい。これにより、入替手段を含む駆動回路の面積の増大が比較的小さく抑えられ、画像表示装置の面積の増大を極力抑えることができる。

【0036】請求項4の画像表示装置では、データ信号

線駆動回路、入替手段および画素を構成する能動素子の一部または全部が、絶縁基板上に形成された単結晶または多結晶シリコン薄膜上に形成されているので、従来の半導体基板上に形成された能動素子に比べて耐圧が低くなる傾向にあるが、前述のように、データ信号線駆動回路の駆動電圧の低下が可能であることから、十分な動作マージンを確保することができる。

【0037】請求項5の画像表示装置では、CMOS構成のゲートにおけるnチャネルトランジスタおよびpチャネルトランジスタは、それぞれ逆極性のゲート電圧が与えることにより同時に導通する。このとき、低電位側の映像信号がnチャネルトランジスタを通過し、高電位側の映像信号がpチャネルトランジスタを通過する。それゆえ、映像信号を低電位側から高電位側まで、より広い範囲で再現することができる。

【0038】請求項6の画像表示装置では、接続手段により、2系統のデータ信号線駆動回路に、異なる電圧レベルの電源が偶数列のデータ信号線と奇数列の信号線に接続され、所定のデータ表示期間毎にその接続が切り替えられる。それぞれのデータ線駆動回路は、異なる電源系で駆動されており、かつ、表示期間毎に電源系を切り替えて駆動される。また、異なる電源系で駆動される2系統のデータ信号線駆動回路により、例えば、あるデータ表示期間において、データ信号線の偶数列には正極の映像信号が与えられ、データ信号線の奇数列には負極の映像信号が与えられる。そして、次のデータ表示期間において、データ信号線の偶数列には負極の映像信号が与えられ、データ信号線の奇数列には正極の映像信号が与えられる。

【0039】すなわち、上記のように、接続手段による電源の切替動作と、データ信号線駆動回路の「フレーム+ソースライン反転」駆動とを組み合わせることにより、それぞれのデータ信号線駆動回路が一方の極性の映像信号のみを扱えばよくなる。それゆえ、データ信号線駆動回路の駆動電圧を低下させることができる。

【0040】また、データ信号線駆動回路および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されていることにより、電源回路の負荷が小さくなり、電源切り替えを早く、かつ、容易に行なうことができる。

【0041】請求項7の画像表示装置では、接続手段が絶縁基板上に形成されていることにより、接続手段とデータ信号線駆動回路との接続線等が絶縁基板上に組み込まれることになり、接続手段と外部回路（コントローラ、電源等）との外部配線をなくすることができる。したがって、接続手段と外部回路との接続に専用の配線を用いる必要がなくなり、従来用いられていた外部回路をそのまま転用することができる。

【0042】請求項8の画像表示装置では、両データ信

号線駆動回路がそれぞれ一方の極性の映像信号のみをデータ信号線に与えるような電源電圧で駆動されるので、駆動電圧が必要最低限となり、請求項1または6の画像表示装置と同様にデータ信号線駆動回路の駆動電圧を低下させることができる。

【0043】請求項9の画像表示装置では、映像信号が、サンプリング手段によりサンプリングされて直接データ信号線に転送される。これは、いわゆるパネルサンプリング方式であって、データ信号線1本当たり1系統のサンプリング手段を設けるだけでよい。それゆえ、後段の転送ゲートやサンプリング手段を制御する回路の数が少なくなる。

【0044】請求項10の画像表示装置では、映像信号が、サンプリング手段によりサンプリングされて、一旦保持手段に保持された後、増幅手段によりデータ信号線に転送される。これは、いわゆるドライバサンプリング方式であって、データ信号線への映像信号の書き込み時間が十分に長い（ほぼ1水平走査期間）。このため、サンプリング手段を構成するスイッチング素子の駆動力が小さくてすみ、そのスイッチング素子の大きさを小さくすることができる。

【0045】請求項11の画像表示装置では、デジタル信号がサンプリング手段によりサンプリングされる。すると、複数の離散的な電圧の1つが、選択手段により、サンプリングされたデジタル信号に基づいて選択されデータ信号線に転送される。これは、いわゆるデジタルドライバ方式であって、多数の電源を必要とする多階調表示を行なう場合、前述のように一方の極性の映像信号のみを扱えばよいことから、電源数が半減する。

【0046】請求項12の画像表示装置では、2系統の上記データ信号線駆動回路が、ともに画素マトリクスの同一辺側に配置されているので、画像表示装置への信号の入力を1カ所に集中させて、信号線等の引き回しを短縮できるとともに、大画面化に伴ってデータ信号線の両側から同一映像信号を入力する必要がある場合にもこの構成を適用することができる。

【0047】請求項13の画像表示装置は、画素が液晶素子を有するアクティブマトリクス型の液晶表示装置であり、データ信号線駆動回路の駆動電圧低下による電力消費の低減に液晶表示装置の持つ低消費電力性という利点が加わる。

【0048】

【実施例】

【実施例1】本発明の第1の実施例について図1ないし図12に基づいて説明すれば、以下の通りである。

【0049】本実施例に係る画像表示装置は、アクティブマトリクス駆動方式の液晶表示装置であり、図1に示すように、画素アレイ1と、走査信号線駆動回路2と、データ信号線駆動回路3・4とを備えている。画素アレイ1には、多数の走査信号線 GL_1, GL_2, \dots と、多数

のデータ信号線 SL_i, SL_{i+1}, \dots とが垂直に交差して配されている。また、隣接する走査信号線 $GL \cdot GL$ と隣接するデータ信号線 $SL \cdot SL$ とで囲まれた領域には、画素5が1つずつ設けられており、全体で画素5…はマトリクス状に配列されている。

【0050】画素5は、スイッチング素子6および画素容量7を有している。スイッチング素子6は、例えばMOS型のFETにより構成されており、ゲートが走査信号線 $GL (GL_i, GL_{i+1}, \dots)$ に接続されている。画素容量7は、図示はしないが、従来の技術の欄で説明した液晶容量(図23(b)参照)と同様に、液晶素子としての液晶容量と補助容量とからなっている。すなわち、画素5は、前述の従来の画像表示装置の画素と同様に構成され、かつ同様に動作する。

【0051】データ信号線駆動回路3・4は、画素アレイ1を間においた両側に配置されており、各データ信号線 SL_i, SL_{i+1}, \dots の一端と他端とがそれぞれアナログスイッチ8…、9…を介して接続されるようになってい10 る。また、データ信号線駆動回路3は、正極電圧として V_{cc1} が与えられ、負極電圧として V_{ee1} が与えられる一方、データ信号線駆動回路4は、正極電圧として V_{cc2} が与えられ、負極電圧として V_{ee2} が与えられている。

【0052】上記の電源電圧 $V_{cc1} \cdot V_{ee1} \cdot V_{cc2} \cdot V_{ee2}$ は、 $V_{ee2} < V_{cc2} < V_{ee1} < V_{cc1}$ という大小関係に設定されている。また、電源電圧 $V_{cc1} \cdot V_{ee1} \cdot V_{cc2} \cdot V_{ee2}$ は、液晶の閾値電圧を V_T とし、液晶の飽和電圧を V_s とし、前述のスイッチング素子6の閾値電圧を V_{th} とすると、次式で表される。

$$V_{cc1} = V_s + V_{th} + V_{off}$$

$$V_{ee1} = V_T + V_{th} - V_{off}$$

$$V_{cc2} = -V_T + V_{th} + V_{off}$$

$$V_{ee2} = -V_s + V_{th} - V_{off}$$

ただし、上式において V_{off} 、 V_{off} はそれぞれアナログスイッチ8・9のオンマージン、オフマージンである。

【0053】データ信号線駆動回路3・4は、「フレーム+ソースライン反転」駆動法により動作するようになっている。具体的には、データ信号線駆動回路3は、後述するサンプリング回路13～15・17等に用いられるゲート回路への印加電圧(電源電圧)が電源電圧 $V_{cc1} \cdot V_{ee1}$ であることにより正極の映像信号を出力するようになっている。一方、データ信号線駆動回路4は、同様にゲート回路への印加電圧が電源電圧 $V_{cc2} \cdot V_{ee2}$ であることにより負極の映像信号を出力するようになっている。つまり、データ信号線駆動回路3・4は、ゲート回路の動作電圧範囲を異ならせることにより、それぞれ範囲の異なる映像信号を取り込んで、データ信号線 SL_i, SL_{i+1}, \dots に与えるようになっている。

【0054】また、上記のデータ信号線駆動回路3・4 50

としては、パネルサンプルホールド方式のものに限らず、ドライバサンプルホールド方式やデジタルドライバ方式のものであってもよい。パネルサンプルホールド方式は、サンプリングした映像信号をデータ信号線 SL_i, SL_{i+1}, \dots に直接転送し、ドライバサンプルホールド方式は、サンプリングした映像信号を一旦データ記憶部に転送した後に増幅器で増幅してデータ信号線に書き込む。また、デジタルドライバ方式は、デジタル映像信号により複数の離散的な電圧を出力する電源の1つを選択的にデータ信号線に接続して映像信号を書き込む。

【0055】パネルサンプルホールド方式のデータ信号線駆動回路は、図2に示すように、シフトレジスタ11と、ラッチ回路12…と、サンプリング回路13…とを備えている。シフトレジスタ11は、図示しないスタートパルスを、タイミング信号の立ち上がりまたは立ち下がり10 に同期してシフトさせてシフトパルスを出力するようになっている。サンプリング手段としてのサンプリング回路13は、ラッチ回路12を経たシフトパルスに同期して開閉するスイッチ回路であり、シフトパルスにより閉じると映像信号をデータ信号線 SL_i, SL_{i+1}, \dots に与えるようになっている。

【0056】ドライバサンプルホールド方式のデータ信号線駆動回路は、図3に示すように、シフトレジスタ11と、ラッチ回路12…と、サンプリング回路14…、15…サンプリング容量 C_{s1}, \dots と、ホールド容量 C_{h1}, \dots と、増幅器16…とを備えている。

【0057】アナログスイッチからなるサンプリング手段としてのサンプリング回路14・15は直列に接続されており、サンプリング回路14は、ラッチ回路12を経たシフトパルスに同期して開閉し、サンプリング回路15は、データ転送信号TRFに同期して開閉するようになっている。

【0058】保持手段としてのサンプリング容量 C_{s1}, \dots は、サンプリング回路14の出力段に設けられており、サンプリング回路14によりサンプリングされたデータ(映像信号)を蓄えるようになっている。また、保持手段としてのホールド容量 C_{h1}, \dots は、サンプリング回路15の出力段に設けられており、サンプリング回路15によりサンプリング容量 C_{s1}, \dots から転送されたデータ(映像信号)を蓄えるようになっている。そして、増幅手段としての増幅器16は、ホールド容量 C_{h1}, \dots のさらに後段に設けられている。

【0059】増幅器16は、図4に示すように、トランジスタ $TR_1 \sim TR_4$ と、コンデンサCとを備えており、トランジスタ $TR_1 \cdot TR_4$ のゲートには、それぞれバイアスのための定電圧 $V_{b1} \cdot V_{b2}$ が与えられている。この増幅器16は、前段にpチャネルMOSトランジスタであるトランジスタ $TR_1 \cdot TR_4$ およびnチャネルMOSトランジスタであるトランジスタ $TR_2 \cdot TR_3$ からなる対称形の回路を有するとともに、後段にn

チャンネルMOSトランジスタであるトランジスタTR_iによるソースフォロウを有しているバッファアンプである。

【0060】デジタルドライバ方式のデータ信号線駆動回路は、図5に示すように、シフトレジスタ11…と、ラッチ回路12…と、サンプリング回路17…と、デジタルバッファ18…とを備えている。サンプリング手段としてのサンプリング回路17は、デジタルの映像信号をラッチ回路12を経たシフトパルスに同期して開閉するようになっている。

【0061】デジタルバッファ18は、図6に示すように、デコーダ19およびアナログスイッチ20…を有している。デコーダ19は、サンプリング回路17によりサンプリングされたデジタル映像信号の各ビットS₁…S_nの組み合わせにより8つの選択信号を生成するようになっている。選択手段としてのアナログスイッチ20…は、デコーダ19からの選択信号により、それぞれ図示しない電圧源から出力される離散的な電圧V₁…V₈のうち1つを選択してデータ信号線SLに与えるようになっている。上記の電圧V₁…V₈は、液晶の透過率(図12参照)が均等な間隔をおいた8つのレベルをとるように、それぞれのレベルに対応した値に設定されている。

【0062】アナログスイッチ8・9は、データ信号線駆動回路3・4の出力に対し、隣接する2本のデータ信号線SL(奇数列)・SL(偶数列)の一方を外部信号に基づいてフィールド毎に導通・非導通を切り替えることにより選択して接続するようになっている。これらのアナログスイッチ8・9は、常に、互いに異なったデータ信号線SLを選択するようになっている。

【0063】また、アナログスイッチ8・9は、具体的には、図7または図10に示すような選択回路26・42の一部となっている。これらのアナログスイッチ8・9は、前述のパネルサンプルホールド方式、ドライバサンプルホールド方式およびデジタルドライバ方式のデータ信号線駆動回路3・4に適用が可能である。

【0064】図7に示すように、入替手段としての選択回路26は、アナログスイッチ8(9)、シフトレジスタ11およびインバータ24・25により構成されている。

【0065】アナログスイッチ8(9)は、nチャンネルトランジスタ21～23からなっている。第1スイッチング素子としてのnチャンネルトランジスタ21は、導通することにより映像信号を取り込むようになっている。第2スイッチング素子としてのnチャンネルトランジスタ22・23は、状態がフィールド毎に反転して常に互いに異なるフィールド切替信号FR_i・FR_jがゲートに与えられて、交互に導通・非導通を繰り返すようになっている。これにより、nチャンネルトランジスタ22・23は、フィールド切替信号FR_i・FR_jに基づいて、

nチャンネルトランジスタ21からの映像信号をデータ信号線SL₁・SL₂…(奇数列)またはデータ信号線SL₁・SL₂…(偶数列)の一方に交互に与えるようになっている。

【0066】インバータ24・25は、直列に接続されており、シフトレジスタ11とともにデータ信号線駆動回路3・4内に設けられている。これらのインバータ24・25は、シフトレジスタ11の出力のファンアウト容量を大きくし、シフトレジスタ11からのシフトパルスを制御信号としてnチャンネルトランジスタ21のゲートに与えるようになっている。

【0067】選択回路26は、上記の構成がパネルサンプルホールド方式の回路となっているが、ドライバサンプルホールド方式に適用される場合は、図8の(a)または(b)に示すように、増幅器16の後段にnチャンネルトランジスタ21・22・23が設けられる。なお、図8の(b)におけるWE(Write Enable)は、書込期間設定信号である。また、選択回路26がデジタルドライバ方式に採用される場合は、図9に示すように、アナログスイッチ20…の後段にnチャンネルトランジスタ22・23が設けられる。

【0068】一方、図10に示すように、入替手段としての選択回路42は、パネルサンプルホールド方式の回路を形成し、アナログスイッチ8(9)、シフトレジスタ11およびインバータ34～41により構成されている。

【0069】アナログスイッチ8(9)は、トランSMIッションゲートと呼ばれるCMOSトランジスタ31～33からなっている。第1スイッチング素子としてのCMOSトランジスタ31は、nチャンネルトランジスタ31aと、pチャンネルトランジスタ31bとが並列接続されてっており、取り込んだ映像信号を第2スイッチング素子としてのCMOSトランジスタ32・33に与えるようになっている。

【0070】CMOSトランジスタ32は、nチャンネルトランジスタ32aのゲートにフィールド切替信号FR_iが入力され、pチャンネルトランジスタ33bのゲートにフィールド切替信号FR_jが入力されている。CMOSトランジスタ33は、nチャンネルトランジスタ33aおよびpチャンネルトランジスタ33bのそれぞれのゲートに入力されるフィールド切替信号FR_i・FR_jがCMOSトランジスタ32と逆になっている。これにより、CMOSトランジスタ32・33は、異なるタイミングで導通・非導通するようになっている。

【0071】インバータ34～36は、直列に接続されており、シフトレジスタ11とともにデータ信号線駆動回路3・4内に設けられている。インバータ37～39とインバータ40・41とは、それぞれインバータ36の出力端子から分岐した経路に設けられている。また、インバータ39の出力端子はnチャンネルトランジスタ31aの

10

20

30

40

50

ゲートに接続され、インバータ41の出力端子はpチャネルトランジスタ31bのゲートに接続されている。すなわち、nチャネルトランジスタ31aへの信号経路には、偶数のインバータ34~39が設けられる一方、pチャネルトランジスタ31bへの信号経路には、奇数のインバータ34~36・40・41が設けられている。

【0072】上記のインバータ34~41からなる回路は、前述のインバータ24・25と同様の機能を有しているが、さらに、nチャネルトランジスタ31aのゲートとpチャネルトランジスタ31bのゲートとにそれぞれ逆極性の制御信号（ゲート電圧）を与えるようになっている。これにより、CMOSTランジスタ31は、同時に導通・非導通状態となり、その導通により映像信号が取り込まれる。そして、その映像信号は、フィールド切替信号FR、 \cdot FR、に基づいて異なるタイミングで導通するCMOSTランジスタ32・33により、交互にデータ信号線SL_i・SL_{i+1}に与えられる。

【0073】選択回路42では、CMOSTランジスタ31~33を用いることにより、低電位側の映像信号がnチャネルトランジスタ31a~33aを通過する一方、高電位側の映像信号がpチャネルトランジスタ31b~33bを通過するので、低電位側から高電位側まで広い範囲で映像信号を取り込むことができる。これにより、高品位の映像の表示が可能になる。

【0074】また、選択回路26では、映像信号を一旦nチャネルトランジスタ21で取り込んでから、nチャネルトランジスタ22・23で2系統に振り分けるようになっているので、データ信号線駆動回路3・4側でのアナログスイッチ8・9の制御は、基本的にnチャネルトランジスタ21を制御するだけで行なわれる。映像信号の取り込みは、従来の構成においても、nチャネルトランジスタ21のようなスイッチング素子を用いて行なわれていたことから、そのような構成に新たにnチャネルトランジスタ22・23を追加するだけで、選択回路26の構成を実現することができる。これは、選択回路42の場合も同様である。

【0075】上記の選択回路26・42およびデータ信号線駆動回路3・4によるフィールド毎の信号極性の切り替えは、次のように行なわれる。例えば、ある表示フィールド（データ表示期間）において、データ信号線SL_iはデータ信号線駆動回路3に接続されて正極性のデータが書き込まれ、隣接するデータ信号線SL_{i+1}はデータ信号線駆動回路4に接続されて負極性のデータが書き込まれる。そして、次の表示フィールドでは、データ信号線SL_iはデータ信号線駆動回路4に接続されて負極性のデータが書き込まれ、データ信号線SL_{i+1}はデータ信号線駆動回路3に接続されて正極性のデータが書き込まれる。

【0076】ただし、上記の構成においては、フィールド毎の表示位置を合わせるために、何らかの表示位置調

整回路（図示せず）が必要である。例えば、データ信号線駆動回路3の1番目の出力が、表示フレームによってデータ信号線SL_i、またはデータ信号線SL_{i+1}に出力される。したがって、データ信号線駆動回路3の1番目の出力とデータ信号線駆動回路4の1番目の出力とのタイミングは、フレーム毎に前後するようになり、これに合わせて表示位置を調整する必要がある。

【0077】表示位置調整回路としては、例えば、各データ信号線駆動回路3・4内に設けられる1画素分の遅延回路、データ信号線駆動回路3・4に入力される映像信号を遅延させる外部遅延回路等が挙げられる。また、シフトレジスタ11に与えるクロック信号またはスタートパルスを変更することでも対応が可能である。

【0078】ところで、本画像表示装置における各種のスイッチ素子等には、図11に示すようなシリコン薄膜トランジスタが用いられている。この、シリコン薄膜トランジスタは、多結晶シリコン薄膜トランジスタ（以降、p-Si薄膜トランジスタと称する）であり、絶縁基板としてのガラス基板51上に形成された多結晶シリコン薄膜（以降、p-Si薄膜と称する）52にMIS(Metal Insulator Semiconductor)電界効果トランジスタが形成される構成になっている。

【0079】p-Si薄膜52上には、ゲート絶縁膜としてのシリコン酸化膜53を介してゲート電極54が形成され、p-Si薄膜52においてゲート電極54で覆われた以外の領域に不純物イオンが注入されて、ソース電極55およびドレイン電極56が形成されている。そして、シリコン酸化膜53およびゲート電極54を覆うように層間絶縁膜としてのシリコン窒化膜57が形成され、シリコン窒化膜57の隙間からソース電極55とドレイン電極56とにそれぞれ達する金属配線58・58が形成されている。

【0080】シリコン薄膜としては、駆動回路を一体形成できること、低いプロセス温度のために絶縁性基板として安価なガラス基板51を使用できることなどの点で、上記の多結晶シリコン薄膜52が適しているが、これに限らず、単結晶シリコン薄膜や非晶質シリコン薄膜でも同様の効果が期待できる。また、薄膜の材料についても、シリコンに限らず、ゲルマニウムやシリコンとゲルマニウムとの合金あるいは他の化合物半導体（ZnS等）を用いてもよい。

【0081】本実施例では、基本的に「フレーム+ソースライン反転」駆動法を採用している。これにより、データ信号線SL_i・SL_{i+1}…については正極性データが書き込まれ、データ信号線SL_{i+1}・SL_{i+2}…については負極性データが書き込まれるというように、データの書き込みが交互に行なわれる。したがって、各フィールド期間内で1本のデータ信号線SL_iには同一極性のデータが書き込まれることになり、各データ信号線SL_i・SL_{i+1}…に、電源電圧レベルの異なる2個のデータ

信号線駆動回路 3・4 によりそれぞれの極性のデータが供給される。

【0082】このように、本実施例においては、一方の極性の信号だけの書き込みで表示を行なうので、液晶駆動電圧以下（正確には、液晶飽和電圧-液晶閾値電圧）の範囲の電圧を供給するだけでよく、データ信号線駆動回路 3・4 の出力電圧範囲を小さくすることができる。この点に関し、以下に従来例と本実施例とを比較する。

$$2V_s + (V_{off} + V_{on})$$

となる。ただし、上式において、

V_T : 液晶の閾値電圧

V_s : 液晶の飽和電圧

V_{th} : スイッチング素子 6 の閾値電圧

V_{off} : スイッチング素子 6 のオフマージン

V_{on} : スイッチング素子 6 のオンマージン

$$V_s - V_T + (V_{off} + V_{on})$$

となる。

【0085】例えば、(1) 式および (2) 式において、液晶の閾値電圧を 2V とし、飽和電圧を 7V とすると、従来の駆動方法では 14V ($V_{off} + V_{on}$ をともに 1V とすれば 16V) の範囲が必要であったが、本実施例の構成によれば 5V ($V_{off} + V_{on}$ をともに 1V とすれば 7V) の範囲になる。

【0086】すなわち、図 12 に示すように、従来例では、 $-V_s$ から $+V_s$ までの範囲で液晶に電圧を印加する必要があるため、電圧の振幅が大きくならざるを得なかった。これに対し、本実施例では、正極側で $+V_T$ から $+V_s$ までの範囲、負極側で $-V_T$ から $-V_s$ までの範囲で液晶に電圧を印加するだけでよいので、電圧の振

【0083】従来例の駆動方法において、アナログスイッチ 8・9 の ON 時および OFF 時のそれぞれに必要なデータ信号線駆動回路 3・4 の電源電圧は次式で表される。

$$\text{OFF 時} \quad -V_s + V_{th} - V_{off}$$

$$\text{ON 時} \quad +V_s + V_{th} + V_{on}$$

上記の 2 式により、電源電圧の最大振幅は、

$$\dots (1)$$

10 である。

【0084】一方、本実施例の駆動方法における電源電圧は、次式で表される。

$$\text{OFF 時} \quad V_T + V_{th} - V_{off} \quad (=V_{TH})$$

$$\text{ON 時} \quad V_s + V_{th} + V_{on} \quad (=V_{TL})$$

上記の 2 式により、電源電圧の最大振幅は、

$$\dots (2)$$

幅が従来例に比べて小さくなる。

【0087】ここで、5.6 型 VGA (480×640×RGB) の液晶表示装置において、液晶の閾値電圧を 2V とし、飽和電圧を 7V と仮定したときのゲートライン反転およびソースライン反転での、最悪データ（最も消費電力が大きくなる画像データ）および階段状データに対する計算値（2フィールド期間内での充放電電荷量）を求めた結果を下表に示す。これにより、それぞれの最悪値を比較すると、ソースライン反転では、ゲートライン反転の約 36%（ゲートライン反転+コモン反転と比較しても約 56%）であることが分かる。

【0088】

【表 1】

	HIGH一定	HIGH-LOW交互	階段状
ゲートライン反転	243 μC	156 μC	113 μC
ゲートライン反転+コモン反転	174 μC	87.1 μC	41.4 μC
ソースライン反転	0.51 μC	87.1 μC	0.51 μC

【0089】それゆえ、データ信号線駆動回路 3・4 の駆動電圧を低下させることができる。この結果、画像表示装置の消費電力を低減させることができるとともに、構成素子を低耐圧化することができる。特に、近年開発が進められているドライバモノリシック構成（画素スイッチと駆動回路とを同一基板上に構成したもの）の画像表示装置（特に、透過型の表示装置）では、駆動回路を構成する素子も薄膜トランジスタであるので、単結晶基板上の素子よりも耐圧が低く、上記のような低電圧で駆動することができる回路を容易に適用することができる。

【0090】なお、本実施例においては、シフトレジスタ 11 の 1 つの出力に対して、1 本のデータ信号線 SL が対応しているが、カラーのコンピュータ画像を扱う場合のように、RGB の信号を同時にサンプリングすると

きには、シフトレジスタ 11 の出力 1 つの出力に対して、複数本（RGB の場合は 3 本）のデータ信号線に対応させてもよい。

【0091】【実施例 2】本発明の第 2 の実施例について図 1、図 13 ないし図 18 に基づいて説明すれば、以下の通りである。なお、本実施例における構成要素で、前記の第 1 の実施例における構成要素と同様の機能を有するものについては、同一の符号を付記してその説明を省略する。

【0092】本実施例に係る画像表示装置は、図 1 に示すアナログスイッチ 8・9 として、図 13 または図 16 に示すような構成を採用している。これらのアナログスイッチは、パネルサンプルホールド方式のデータ信号線駆動回路に適用されるが、ドライバサンプルホールド方式およびデジタルドライバ方式についても同様に適用

が可能である。

【0093】図13に示すように、入替手段としての選択回路67は、アナログスイッチ8(9)、シフトレジスタ11、NANDゲート63・64およびインバータ65・66により構成されている。

【0094】アナログスイッチ8(9)は、スイッチング素子としてのnチャネルトランジスタ61・62からなっている。また、NANDゲート63・64およびインバータ65・66は、データ信号線駆動回路3・4内に設けられて、シフトレジスタ11から出力されるシフトパルスに基づいてアナログスイッチ8(9)の動作を制御するようになっている。

【0095】NANDゲート63・64の一方の入力端子には、シフトレジスタ11からのシフトパルスが入力されるようになっている。NANDゲート63の他方の入力端子にはフィールド切替信号FR_iが入力され、NANDゲート64の他方の入力端子にはフィールド切替信号FR_iが入力されるようになっている。インバータ65・66の入力端子は、それぞれNANDゲート63・64の出力端子に接続されている。一方、nチャネルトランジスタ61・62は、それぞれのゲートにインバータ65・66の出力端子が接続され、ソースに映像信号が入力される。

【0096】上記の構成においては、ゲート回路にてシフトレジスタ11からのシフトパルスとフィールド切替信号FR_i・FR_iとの論理積(インバータの数によっては論理和)をとることにより、2つのnチャネルトランジスタ61・62の一方のみが導通する。このような導通が交互に行なわれることにより、映像信号が、nチャネルトランジスタ61・62から取り込まれてデータ信号線SL_i・SL_{i+1}に交互に与えられる。

【0097】上記の選択回路67は、上記の構成がパネルサンプルホールド方式の回路となっているが、ドライバサンプルホールド方式に適用される場合は、図14の示すように、増幅器16の後段にnチャネルトランジスタ22・23が設けられる。これらのnチャネルトランジスタ22・23は、負論理の書込期間設定信号/W_Eと、負論理のフィールド切替信号/FR_i・/FR_iとを入力とするNORゲート68・69によりON/OFFが制御されるようになっている。また、選択回路67がデジタルドライバ方式に採用される場合は、図15に示すように、デコーダ19の1つの出力が2つに別けられて、それぞれがNANDゲート63・64に入力されるようになっている。そして、nチャネルトランジスタ61・62は、アナログスイッチ20を兼ねるように、電源V₁・V₂を供給する各電源線に接続されている。

【0098】図16に示すように、入替手段としての選択回路83は、パネルサンプルホールド方式の回路を形成し、アナログスイッチ8(9)、シフトレジスタ1

1、インバータ73~78、NORゲート79・80およびNANDゲート81・82により構成されている。インバータ73~78、NORゲート79・80およびNANDゲート81・82は、データ信号線駆動回路3・4内に設けられている。

【0099】スイッチング素子としてのCMOSTランジスタ71は、nチャネルトランジスタ71aとpチャネルトランジスタ71bとが並列接続されてなっている。スイッチング素子としてのCMOSTランジスタ72は、nチャネルトランジスタ72aとpチャネルトランジスタ72bとが並列接続されてなっている。

【0100】インバータ73~75は、直列に接続され、インバータ76・77とインバータ78とは、それぞれインバータ75の出力端子から分岐した経路に設けられている。また、インバータ77の出力端子はNORゲート79・80の一方の入力端子に接続され、インバータ78の出力端子はNANDゲート81・82の一方の入力端子に接続されている。さらに、NORゲート80およびNANDゲート81の他方の入力端子にはフィールド切替信号FR_iが入力され、NORゲート79およびNANDゲート82の他方の入力端子にはフィールド切替信号FR_iが入力されるようになっている。

【0101】CMOSTランジスタ71は、nチャネルトランジスタ71aのゲートにNORゲート79の出力端子が接続され、pチャネルトランジスタ71bのゲートにNANDゲート81の出力端子が接続されている。一方、CMOSTランジスタ72は、nチャネルトランジスタ72aのゲートにNORゲート80の出力端子が接続され、pチャネルトランジスタ72bのゲートにNANDゲート82の出力端子が接続されている。

【0102】このような構成により、NORゲート79・80およびNANDゲート81・82が、逆極性となるインバータ77の出力信号およびインバータ78の出力信号と、フィールド切替信号FR_i・FR_iとに基づいて、CMOSTランジスタ71・72を交互に導通させる。そして、CMOSTランジスタ71・72により取り込まれた映像信号は、異なるタイミングでフィールド毎に交互にデータ信号線SL_i・SL_{i+1}に与えられる。

【0103】本実施例においても、アナログスイッチ8・9の動作により、隣接するデータ信号線SL_i・SL_{i+1}が、第1の実施例と同様にデータ信号線駆動回路3・4にフィールド毎に切り替えられて接続される。

【0104】選択回路67では、nチャネルトランジスタ61・62により直接映像信号を取り込んでいるため、両トランジスタ61・62を個別に制御する必要があるが、スイッチング素子の数を最小限にすることにより次のような利点を有するようになる。すなわち、映像信号がデータ信号線SL_i・SL_{i+1}に書き込まれるまでに通過するス

イッチング素子はそれぞれ1つのnチャネルトランジスタ61・62となるので、第1の実施例における選択回路26・42に比べ、両トランジスタ61・62の導通時のインピーダンスを小さくすることができる。これは、選択回路83の場合も同様である。

【0105】本実施例では、基本的には「フレーム+ソースライン反転」駆動を採用しているの、第1の実施例と同様に、電源電圧レベルの異なる2個のデータ信号線駆動回路3・4でデータ信号線 SL_i, SL_{i+1}, \dots に、それぞれの極性のデータを供給することができる。これにより、データ信号線駆動回路3・4の出力電圧範囲が小さくなるので、駆動電圧を下げることができ、消費電力の削減および素子の低耐圧化を図ることが可能になる。

【0106】なお、図16に示した選択回路83は、アナログスイッチ8(9)の直前にNORゲート79・80およびNANDゲート81・82が配置される構成であるが、その他の入替手段として、図17に示す選択回路101のように、シフトレジスタ11の直後にNANDゲート91・92を配置する構成も考えられる。

【0107】この構成では、NANDゲート91・92の一方の入力端子にシフトレジスタ11からのシフトパルスが入力され、NANDゲート91・92の他方の入力端子にそれぞれフィールド切替信号 FR_i, FR_{i+1} が入力されるようになっている。そして、NANDゲート91・92の後段には、ともに途中で分岐するインバータ93~99によりCMOSTランジスタ100・100を制御するようになっている。

【0108】また、図18に示す選択回路103(入替手段)のように、別系統のシフトレジスタ11'・11'を設ける構成であってもよい。この構成では、NANDゲート91・92の代わりにインバータ102・102を設け、アナログスイッチ8(9)にて切り離されるデータ信号線 SL の側のシフトレジスタ11'に、タイミング信号あるいはスタートパルスを入力しないようにすれば、フィールド切替信号 FR_i, FR_{i+1} が不要になる。

【0109】なお、本実施例の画像表示装置においても、フィールド毎の表示位置を合わせるために、表示位置調整回路が必要である。

【0110】【実施例3】本発明の第3の実施例について図19に基づいて説明すれば、以下の通りである。なお、本実施例における構成要素で、前記の第1の実施例における構成要素と同様の機能を有するものについては、同一の符号を付記してその説明を省略する。

【0111】本実施例に係る画像表示装置は、図19に示すように、画素アレイ1と、走査信号線駆動回路2と、データ信号線駆動回路3・4と、電源切替回路11とを備えている。

【0112】データ信号線駆動回路3・4は、電源切替

回路111を介して与えられる電源電圧 V_{cc1}, V_{cc2} および電源電圧 V_{cc1}, V_{cc2} により動作するようになっている。また、データ信号線駆動回路3・4は、絶縁基板(ガラス基板)上に形成された薄膜トランジスタ(図11参照)によって構成されている。なお、データ信号線駆動回路3・4は、前述のパネルサンプルホールド方式、ドライバサンプルホールド方式、またはデジタルドライバ方式のいずれであってもよい。

【0113】電源切替回路111は、フィールド毎に切り替わる外部信号(図示せず)により、電源電圧 V_{cc1}, V_{cc2} と電源電圧 V_{cc1}, V_{cc2} とを交互に切り替えて出力するようになっている。また、電源切替回路111は、画素アレイ1と駆動回路とが同一基板上に一体的に形成された画像表示モジュールに内蔵されている。これにより、そのモジュールへ入力される信号線・電源線の数が削減されるので、インターフェースの簡素化やシステムの小型化が可能になる。勿論、電源切替回路111が上記のモジュールの外部に設けられてる構成であっても、本画像表示装置本来の機能を損なうことはない。

【0114】上記の構成にて表示を行なう際、例えば、ある表示フィールドにおいて、あるデータ信号線 SL_i は、データ信号線駆動回路3に接続されて正極性のデータが書き込まれ、隣接するデータ信号線 SL_{i+1} はデータ信号線駆動回路4に接続されて負極性のデータが書き込まれる。そして、次の表示フィールドでは、データ信号線駆動回路3・4の電源電圧が電源切替回路111により切り替えられると、これに伴ってタイミング信号および映像信号のレベルも切り替えられる。これにより、それぞれのデータ信号線 SL_i, SL_{i+1} に、前のフィールドとは逆極性のデータが書き込まれる。

【0115】本実施例では、基本的には「フレーム+ソースライン反転」駆動を採用しているの、第1の実施例と同様に、電源電圧レベルの異なる2個のデータ信号線駆動回路3・4で、データ信号線 SL_i, SL_{i+1}, \dots にそれぞれの極性のデータを供給することができる。これにより、データ信号線駆動回路3・4の出力電圧範囲が小さくなり、消費電力の低減および素子の低耐圧化を図ることが可能になる。

【0116】また、本実施例におけるデータ信号線駆動回路3・4は、絶縁基板上に形成された薄膜トランジスタによって構成されているので、対基板容量がなく負荷が小さい。一般のICでは、基板と配線電極との間に寄生容量が介在し、電源電圧の切り換え時に接地電位を変更すると、その寄生容量のために瞬時に大電流が流れ、切替動作にとって大きな負担となる。したがって、上記のように対基板容量がないことにより、電源電圧の切り換えを高速に行うことができるだけでなく、電源電圧の切り換えに伴う雑音を低減することができる。

【0117】なお、本実施例では、データ信号線 SL の接続が固定であるため、前記の第1および第2の実施例

で必要であった表示位置調整回路が不要となる。

【0118】〔実施例4〕本発明の第4の実施例について図20および図21に基づいて説明すれば、以下の通りである。なお、本実施例における構成要素で、前記の第1および第3の実施例における構成要素と同様の機能を有するものについては、同一の符号を付記してその説明を省略する。

【0119】本実施例に係る画像表示装置は、図20に示すように、画素アレイ1と、走査信号線駆動回路2と、データ信号線駆動回路3・4とを備えており、基本的

に第1の実施例における画像表示装置の構成と同様である。ただし、本画像表示装置においては、データ信号線駆動回路4が画素アレイ1に対しデータ信号線駆動回路3と同じ側に設けられている点が第1の実施例の構成と異なる。また、アナログスイッチ9も、これに伴ってデータ信号線駆動回路3側に配置される。

【0120】一方、本実施例に係る他の画像表示装置は、図21に示すように、画素アレイ1と、走査信号線駆動回路2と、データ信号線駆動回路3・4と、電源切替回路111とを備えており、基本的に第3の実施例における画像表示装置の構成と同様である。ただし、本画像表示装置でも、データ信号線駆動回路4が画素アレイ1に対しデータ信号線駆動回路3と同じ側に設けられている点が第3の実施例の構成と異なる。

【0121】上記の両画像表示装置では、異なる電源電圧で動作するデータ信号線駆動回路3・4が、隣接して配置されるか、または場合によっては入り組んで配置されることになる。これに対しては、データ信号線駆動回路3・4が基板やウェルのない薄膜トランジスタで構成されることにより、上記の配置を容易に実現することができる。

【0122】このように、2つのデータ信号線駆動回路3・4を、画素アレイ1の同一辺側に配置することにより、信号供給源となる回路（図示せず）からデータ信号線駆動回路3・4までの信号線の引回しをほぼ等しくすることができ、両駆動回路3・4への信号の伝送にずれが生じるといった不都合を解消することができる。また、画素表示装置を大画面化する際の信号遅延やデータ信号線駆動回路3・4の駆動力不足を補うために、データ信号線SL_i・SL_jの両側からデータ信号を入力する必要があるが、画素アレイ1のもう片側に上記と同様に2つのデータ信号線駆動回路3・4すれば、この場合でも、データ信号線駆動回路3・4による駆動が可能になる。

【0123】以上のように、消費電力を低減する技術、および駆動電圧を低くする技術について例を挙げて述べたが、その構成は基本的なものであり、上記の第1ないし第4の実施例を必要に応じて変更または組み合わせて用いても何ら差し支えない。また、上記の各実施例では、アクティブマトリクス型の液晶表示装置について述

べたが、これに限らず、アクティブマトリクス駆動方式であれば他の表示装置にも適用が可能である。他の表示装置としては、例えば、プラズマディスプレイ、LEDディスプレイ、ELディスプレイ等が挙げられる。

【0124】

【発明の効果】以上のように、請求項1に記載の画像表示装置は、マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、1行の上記画素に接続された走査信号線と、1列の上記画素に接続されたデータ信号線と、上記走査信号線に走査信号を与える走査信号線駆動回路と、2系統設けられてそれぞれが異なる電圧レベルの電源にて駆動され、上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、偶数列の上記データ信号線に一方の上記データ信号線駆動回路からの映像信号を与え、奇数列の上記データ信号線に他方の上記データ信号線駆動回路からの映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに対応するデータ信号線駆動回路を入れ替える入替手段とを備えている。

【0125】これにより、1フィールド期間中、データ信号線の電位を同極性に保つことができ、データ信号線の充放電電流を抑制して画像表示を行なうことが可能になる。また、データ信号線駆動回路を分割し、それぞれが別電源で駆動されるので、それぞれの電源電圧を下げることもできるとともに、構成素子の耐圧に対する条件を緩和することができる。したがって、駆動回路の消費電力を低減させることができるという効果を奏する。

【0126】請求項2に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記入替手段が、上記データ信号線駆動回路の1つの出力段に共通して接続されるとともに、対になる奇数列および偶数列の2本の上記データ信号線に接続されて映像信号を取り込む2系統のスイッチング素子を有しており、両スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ信号線駆動回路と上記データ信号線との接続を行なうようになっている。

【0127】これにより、映像信号線または電源線とデータ信号線との間には1つのスイッチング素子のみが存在するだけであり、スイッチング素子の導通時のインピーダンスが小さくなる。したがって、映像信号のデータ信号線への書き込みを容易に行なうことができるという効果を奏する。

【0128】請求項3に記載の画像表示装置は、請求項1に記載の画像表示装置において、上記入替手段が、上記データ信号線駆動回路の1つの出力段に接続されるとともに、映像信号を取り込む第1スイッチング素子と、第1スイッチング素子に取り込まれた映像信号を2本の

10

20

30

40

50

上記データ信号線に与える 2 系統の第 2 スイッチング素子とを有しており、第 2 スイッチング素子を所定のデータ表示期間毎に交互に導通させることにより上記データ信号線駆動回路と上記データ信号線との接続を行なうようになっている。

【0129】これにより、従来の構成でも映像信号の取り込みに用いられていた第 1 スイッチング素子の後に、さらに第 2 スイッチング素子を付加するだけで入替手段としての機能を実現することができ、各画素の面積の増大が比較的小さく抑えられる。したがって、画像表示装置の面積の増大を極力抑えることができるという効果奏する。

【0130】請求項 4 に記載の画像表示装置は、請求項 1 ないし 3 のいずれかに記載の画像表示装置において、上記データ信号線駆動回路、上記入替手段および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されている構成である。

【0131】これにより、上記の能動素子の耐圧が従来の半導体基板上に形成された能動素子の耐圧に比べて低くなる傾向にあるが、上記のように、データ信号線駆動回路を低電圧で駆動できるので、十分な動作マージンを確保することができるという効果奏する。

【0132】請求項 5 に記載の画像表示装置は、請求項 2 または 3 に記載の画像表示装置において、上記スイッチング素子または上記第 1 および第 2 スイッチング素子が、並列に接続された n チャネルトランジスタと p チャネルトランジスタとからなる CMOS 構成のゲートであるので、低電位側の映像信号が n チャネルトランジスタを通過し、高電位側の映像信号が p チャネルトランジスタを通過する。したがって、映像信号を低電位側から高電位側まで、より広い範囲で再現することができ、高品位の映像を再現することができるという効果奏する。

【0133】請求項 6 に記載の画像表示装置は、マトリクス状に配列されてアクティブマトリクス駆動により表示を行なう複数の画素と、1 行の上記画素に接続された走査信号線と、1 列の上記画素に接続されたデータ信号線と、上記走査信号線に走査信号を与える走査信号線駆動回路と、2 系統設けられてそれぞれが上記データ信号線の偶数列と奇数列とにそれぞれ異なる極性の映像信号を与えるとともに、所定のデータ表示期間毎に上記データ信号線の偶数列と奇数列とに与える映像信号の極性を反転させるデータ信号線駆動回路と、異なる電圧レベルの 2 系統の電源を上記データ信号線駆動回路のそれぞれに所定のデータ表示期間毎に切り替えて接続する接続手段とを備え、上記データ信号線駆動回路および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されている構成である。

【0134】これにより、それぞれのデータ線駆動回路

は、異なる電源系で駆動されており、かつ、表示期間毎に電源系が切り替えられるとともに、「フレーム+ソースライン反転」駆動が組み合わされて行なわれるので、それぞれのデータ信号線駆動回路は、一方の極性の映像信号のみを扱えばよく、データ信号線駆動回路の駆動電圧を低下させることができる。また、データ信号線駆動回路および上記画素に含まれる能動素子の一部または全部が、絶縁基板上に形成された単結晶シリコン薄膜または多結晶シリコン薄膜上に形成されていることにより、電源回路の負荷が小さくなり、電源切り替えを早く、かつ、容易に行なうことができる。したがって、駆動回路の消費電力を低減させることができるという効果奏する。

【0135】請求項 7 に記載の画像表示装置は、請求項 6 に記載の画像表示装置において、上記接続手段が上記絶縁基板上に形成されているので、接続手段とデータ信号線駆動回路との接続線等が絶縁基板上に組み込まれることになり、接続手段と外部回路（コントローラ、電源等）との外部配線をなくすことができ、接続手段と外部回路との接続に専用の配線を用いる必要がなくなる。したがって、従来用いられていた外部回路をそのまま転用することができ、製造工程の複雑化を回避することができるという効果奏する。

【0136】請求項 8 に記載の画像表示装置は、請求項 1 または 6 に記載の画像表示装置において、それぞれ一方の極性の映像信号のみをデータ信号線に与えるような電源電圧で駆動されるので、駆動電圧が必要最低限となり、請求項 1 または 6 の画像表示装置と同様にデータ信号線駆動回路の駆動電圧を低下させることができる。したがって、簡単な構成で画像表示装置の駆動回路の低消費電力化および低耐圧化を図ることができるという効果奏する。

【0137】請求項 9 に記載の画像表示装置は、請求項 1 または 6 に記載の画像表示装置において、映像信号をサンプリングして上記データ信号線に転送するサンプリング手段を備えている構成であるので、映像信号がサンプリングされて直接データ信号線に転送される。これにより、データ信号線 1 本当たり 1 系統のサンプリング手段を設けるだけでよく、後段の転送ゲートや上記サンプリング手段を制御する回路の数を少なくすることができる。したがって、部品点数の削減を図ることができるという効果奏する。

【0138】請求項 10 に記載の画像表示装置は、請求項 1 または 6 に記載の画像表示装置において、上記データ信号線駆動回路が、映像信号をサンプリングするサンプリング手段と、上記サンプリング手段によりサンプリングされた映像信号を一旦保持する保持手段と、上記保持手段により保持された映像信号を増幅して上記データ信号線に転送する増幅手段とを備えている構成であるので、データ信号線への映像信号の書込時間を十分に長く

(ほぼ1水平走査期間)確保することができる。したがって、サンプリング手段を構成するスイッチング素子を小さくすることができ、データ信号線駆動回路の規模の縮小化を図ることができるという効果を奏する。

【0139】請求項11に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、上記データ信号線駆動回路が、映像情報を表すデジタル信号をサンプリングするサンプリング手段と、上記サンプリング手段によりサンプリングされたデジタル信号に基づいて複数の離散的な電圧の1つを選択して上記データ信号線に転送する選択手段とを備えている構成であるので、多数の電源を必要とする多階調表示を行なう場合、前述のように一方の極性の映像信号のみを扱えばよいことから、電源数が半減する。したがって、電源の規模の縮小化を図ることができるという効果を奏する。

【0140】請求項12に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、2系統の上記データ信号線駆動回路が、ともに画素マトリクスの同一辺側に配置されているので、画像表示装置への信号の入力を1カ所に集中させることができる。これにより、信号線等の引き回しを短縮できるとともに、大画面化に伴ってデータ信号線の両側から同一映像信号を入力する必要がある場合にも、画素マトリクスの他辺側に2系統のデータ信号線駆動回路を設けることで、2系統のデータ信号線駆動回路による駆動を行なうことができる。したがって、大画面化に容易に対応することができるという効果を奏する。

【0141】請求項13に記載の画像表示装置は、請求項1または6に記載の画像表示装置において、上記各画素が液晶素子を有している。すなわち、この画像表示装置は、アクティブマトリクス型の液晶表示装置であり、液晶表示装置の持つ低消費電力性という利点がより発揮できる。したがって、液晶表示装置の低消費電力化をより進めることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1および第2の実施例に係る画像表示装置の要部の構成を示すブロック図である。

【図2】図1の画像表示装置におけるパネルサンプルホールド方式のデータ信号線駆動回路の構成を示すブロック図である。

【図3】図1の画像表示装置におけるドライバサンプルホールド方式のデータ信号線駆動回路の構成を示すブロック図である。

【図4】図3のデータ信号線駆動回路における増幅器の構成を示す回路図である。

【図5】図1の画像表示装置におけるデジタルドライバ方式のデータ信号線駆動回路の構成を示すブロック図である。

【図6】図5のデータ信号線駆動回路におけるデジタルバッファの構成を示すブロック図である。

【図7】本発明の第1の実施例に係る画像表示装置におけるパネルサンプルホールド方式に適用された選択回路の構成を示す回路図である。

【図8】図7の選択回路と同形式の選択回路であってドライバサンプルホールド方式に適用された2つの構成例を示す回路図である。

【図9】図7の選択回路と同形式の選択回路であってデジタルドライバ方式に適用された構成を示す回路図である。

【図10】本発明の第1の実施例に係る画像表示装置における他の選択回路の構成を示す図である。

【図11】図1の画像表示装置におけるスイッチング素子および駆動回路を構成する薄膜トランジスタの構造を示す縦断面図である。

【図12】液晶印加電圧と液晶透過率との関係を示すグラフである。

【図13】本発明の第2の実施例に係る画像表示装置における第1の選択回路であってパネルサンプルホールド方式に適用された構成例を示す回路図である。

【図14】上記第1の選択回路であってドライバサンプルホールド方式に適用された構成例を示す回路図である。

【図15】上記第1の選択回路であってデジタルドライバ方式に適用された構成例を示す回路図である。

【図16】本発明の第2の実施例に係る画像表示装置における第2の選択回路の構成を示す回路図である。

【図17】本発明の第2の実施例に係る画像表示装置における第3の選択回路の構成を示す回路図である。

【図18】本発明の第2の実施例に係る画像表示装置における第4の選択回路の構成を示す回路図である。

【図19】本発明の第3の実施例に係る画像表示装置の要部の構成を示すブロック図である。

【図20】本発明の第4の実施例に係る画像表示装置の要部の構成を示すブロック図である。

【図21】本発明の第4の実施例に係る他の画像表示装置の要部の構成を示すブロック図である。

【図22】従来の液晶表示装置の概略構成を示すブロック図である。

【図23】図22の液晶表示装置における画素アレイの構成を示すブロック図および画素の構成を示す回路図である。

【図24】従来の液晶表示装置における「フレーム+ゲートライン反転」駆動のデータ信号線の印加電圧等を示す波形図および「フレーム+ゲートライン反転」駆動で対向電極を交流駆動した場合のデータ信号線信号の印加電圧等を示す波形図である。

【図25】従来の液晶表示装置における「フレーム+ソースライン反転」駆動のデータ信号線の印加電圧等を示す波形図である。

【符号の説明】

29

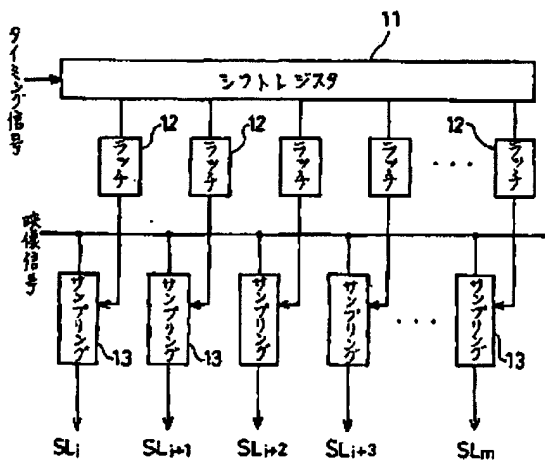
- 1 画素アレイ
 2 走査信号線駆動回路
 3・4 データ信号線駆動回路
 5 画素
 8・9 アナログスイッチ
 13 サンプリング回路 (サンプリング手段)
 14・15 サンプリング回路 (サンプリング手段)
 16 増幅器 (増幅手段)
 17 サンプリング回路 (サンプリング手段)
 20 アナログスイッチ (選択手段)
 21 nチャネルトランジスタ (第1スイッチング素子)
 22・23 nチャネルトランジスタ (第2スイッチング素子)
 26 選択回路 (入替手段)
 31 CMOSトランジスタ (第1スイッチング素子)
 32・33 CMOSトランジスタ (第2スイッチング素子)
 42 選択回路 (入替手段)

30

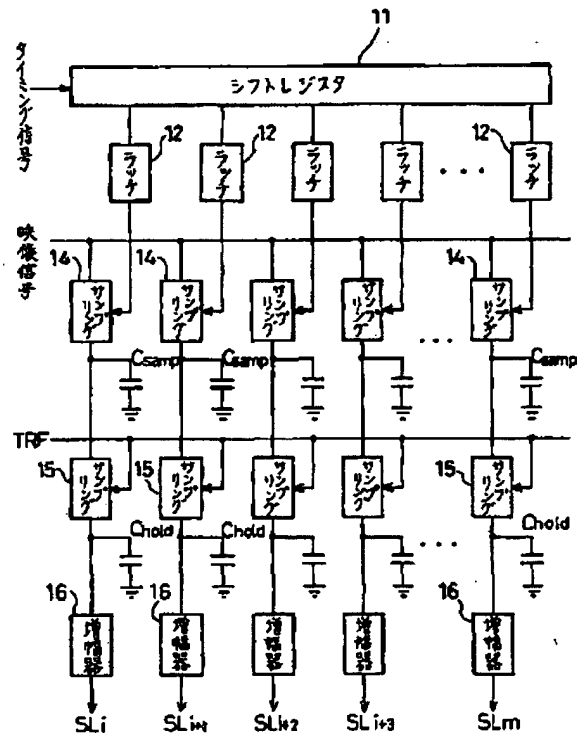
- 51 ガラス基板 (絶縁基板)
 52 多結晶シリコン薄膜
 61・62 nチャネルトランジスタ (スイッチング素子)
 67 選択回路 (入替手段)
 71・72 CMOSトランジスタ (スイッチング素子)
 83 選択回路 (入替手段)
 100 CMOSトランジスタ (スイッチング素子)
 101 選択回路 (入替手段)
 103 選択回路 (入替手段)
 111 電源切替回路 (接続手段)
 SL_i ... データ信号線
 GL_j ... 走査信号線
 C_l 液晶容量 (液晶素子)
 C_{samp} サンプリング容量 (保持手段)
 C_{hold} ホールド容量 (保持手段)
 V_{CC1}・V_{CC2}・V_{EF1}・V_{EF2} 電源電圧

20

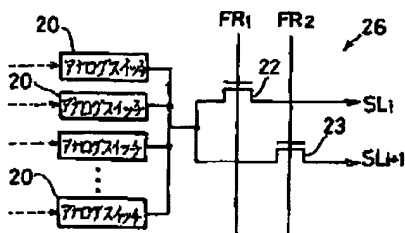
【図2】



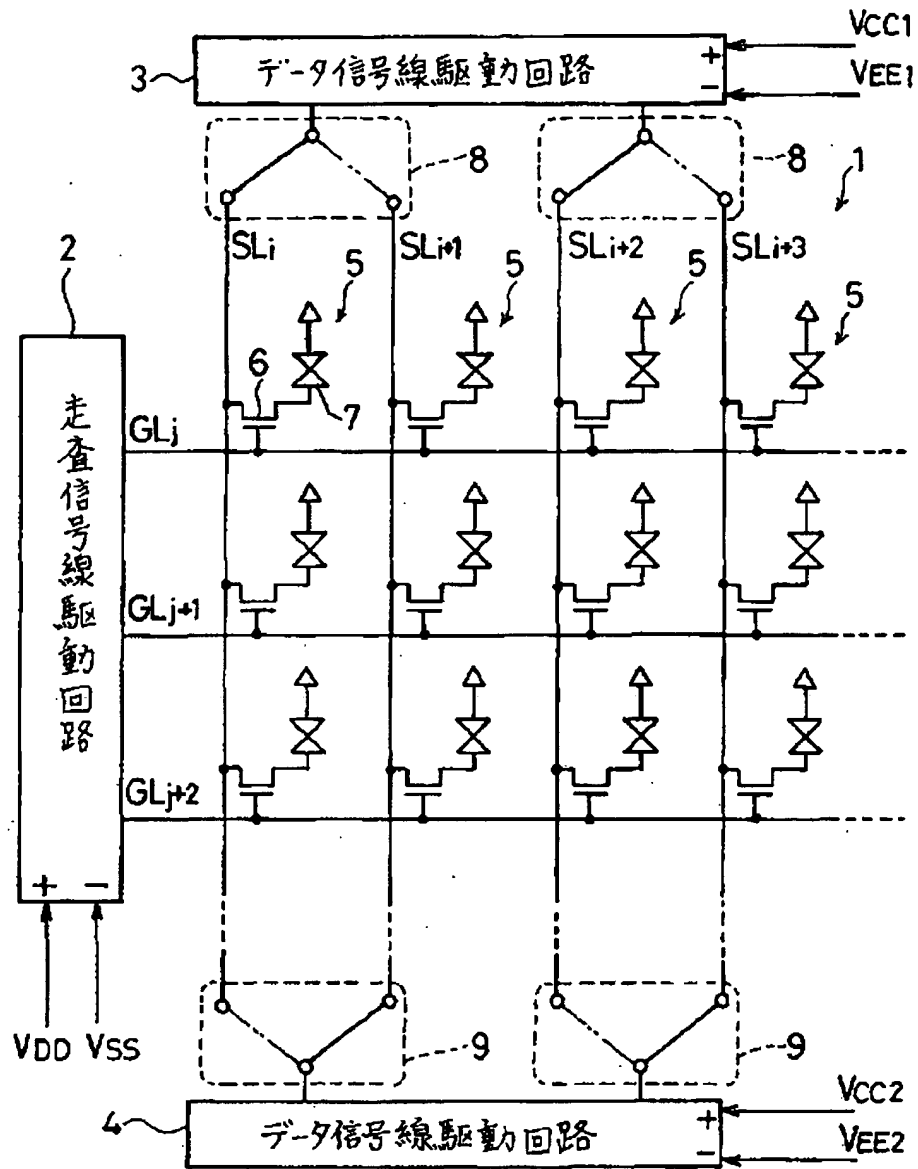
【図3】



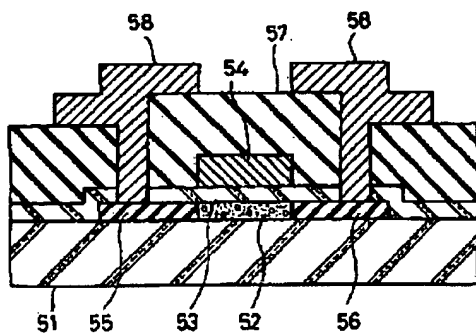
【図9】



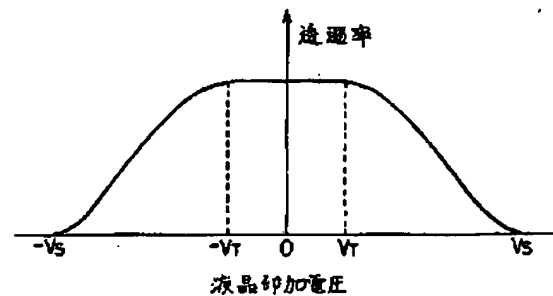
【図1】



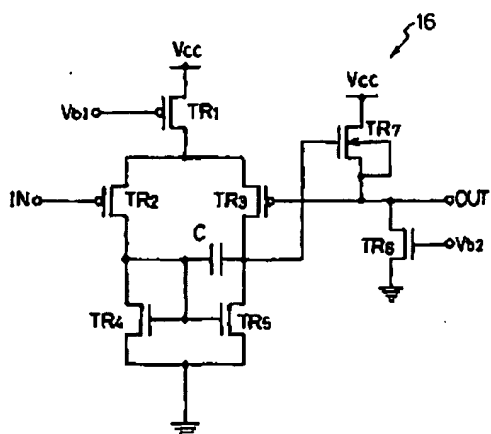
【図11】



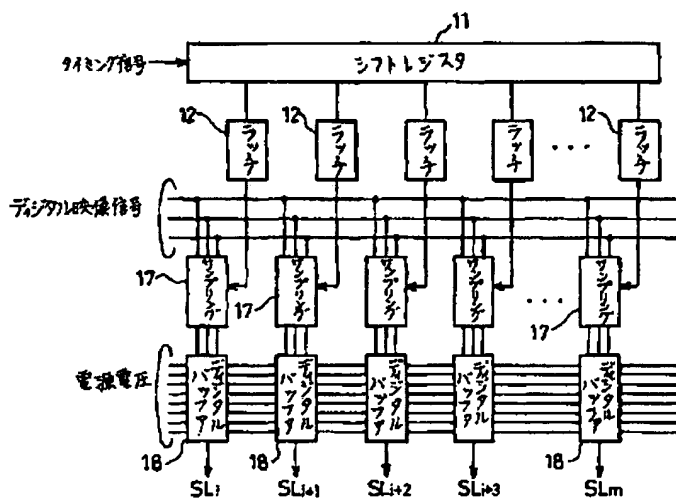
【図12】



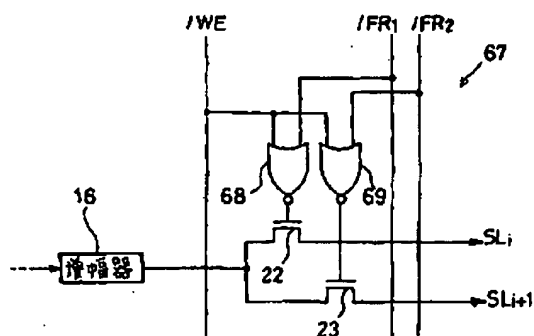
【図4】



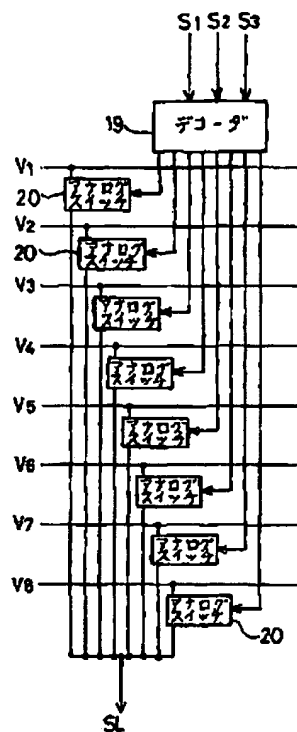
【图5】



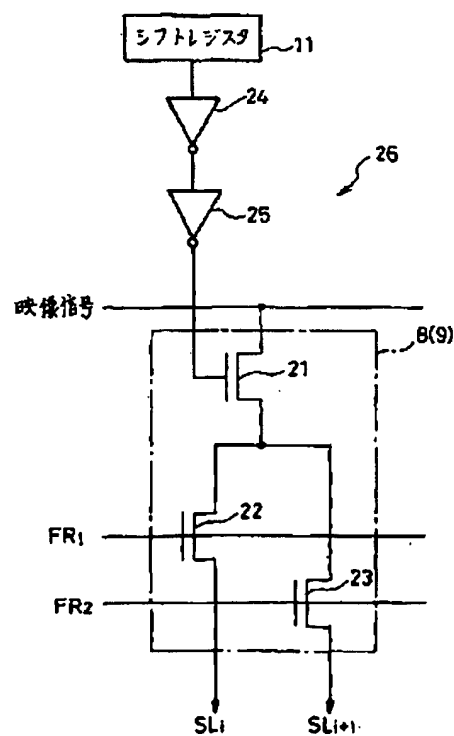
【圖 14】



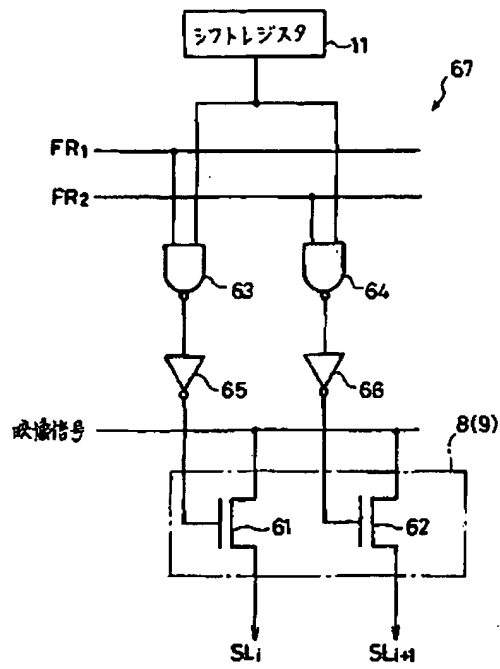
【圖 6】



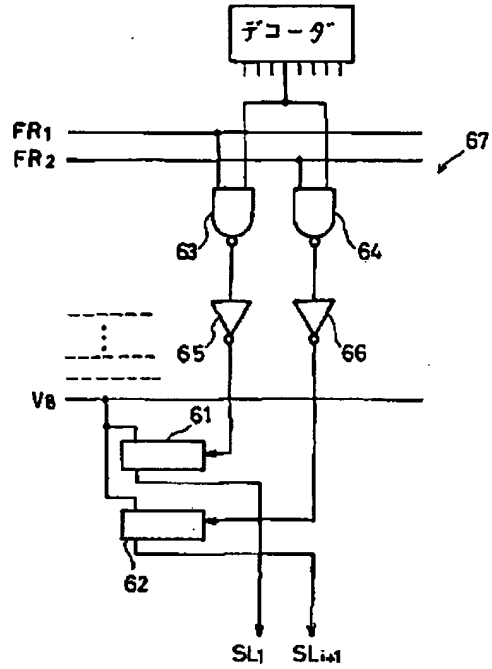
【图 7】



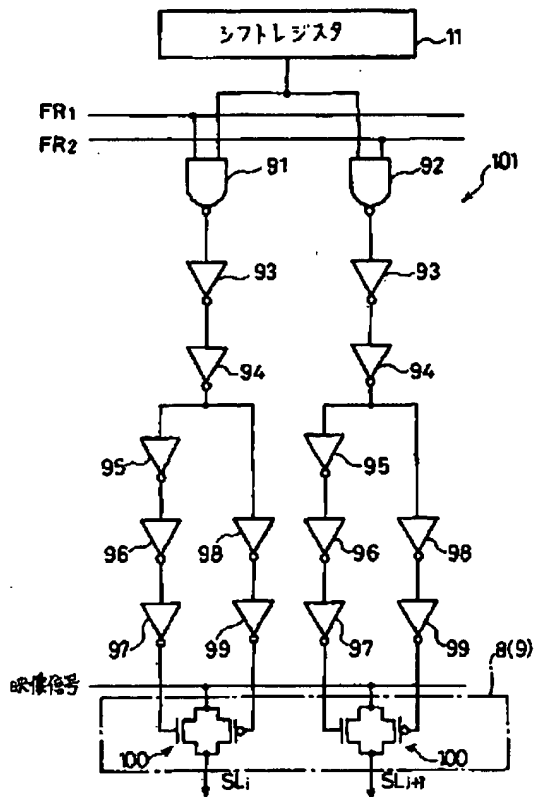
【図 13】



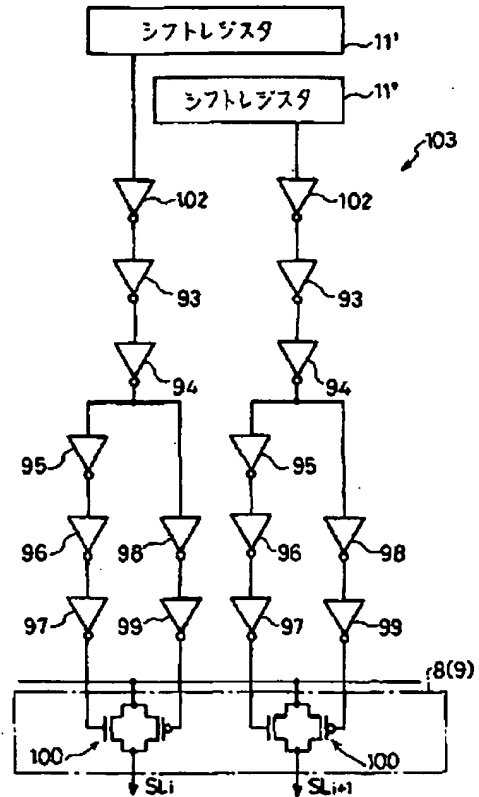
【図 15】



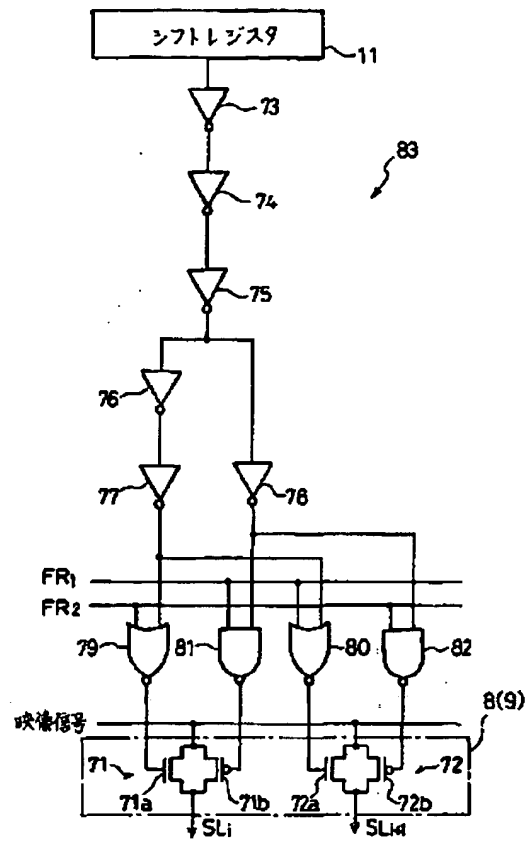
【図 17】



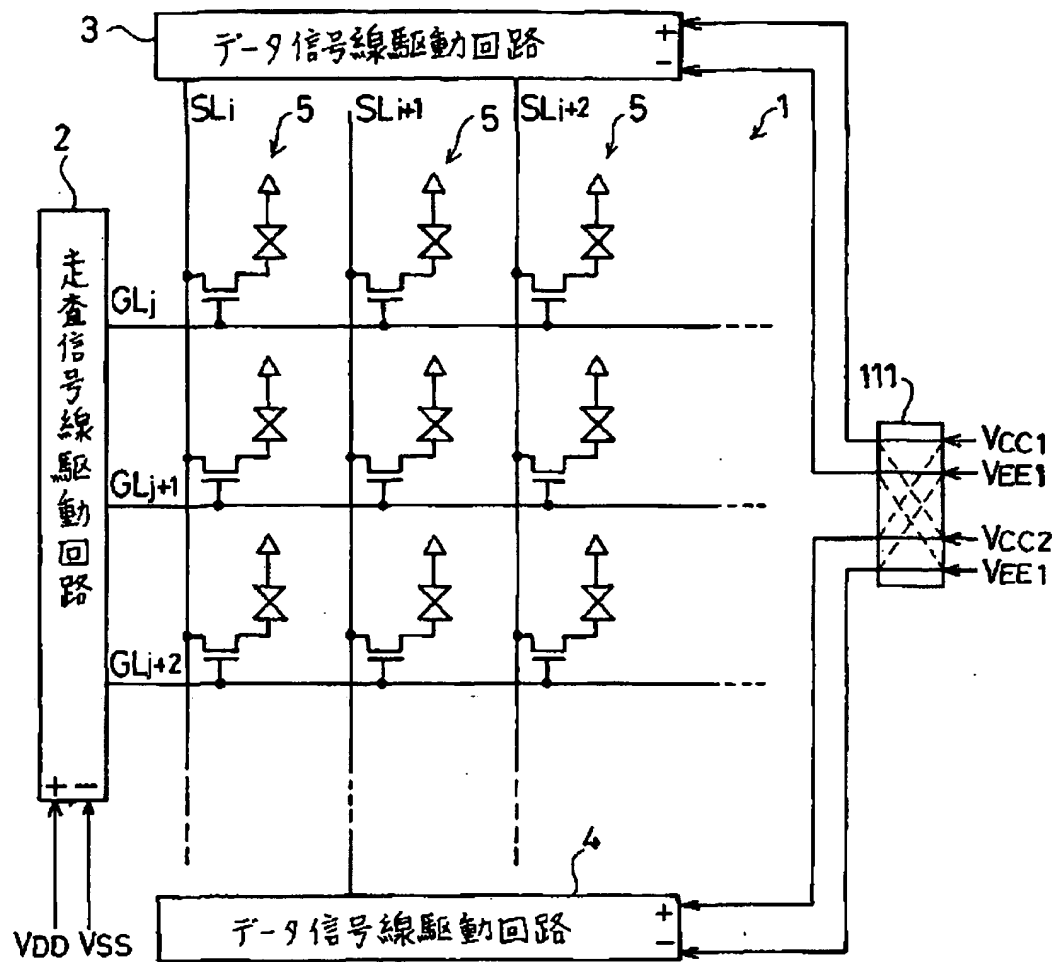
【図 18】



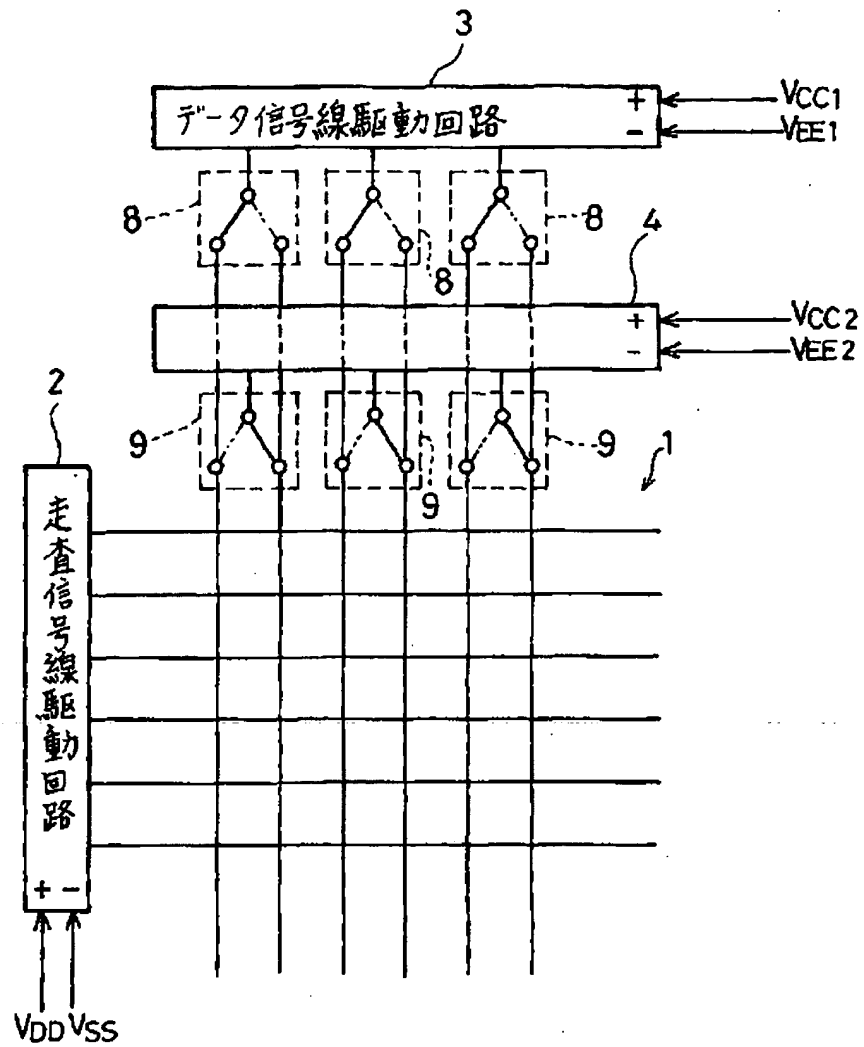
【図 16】



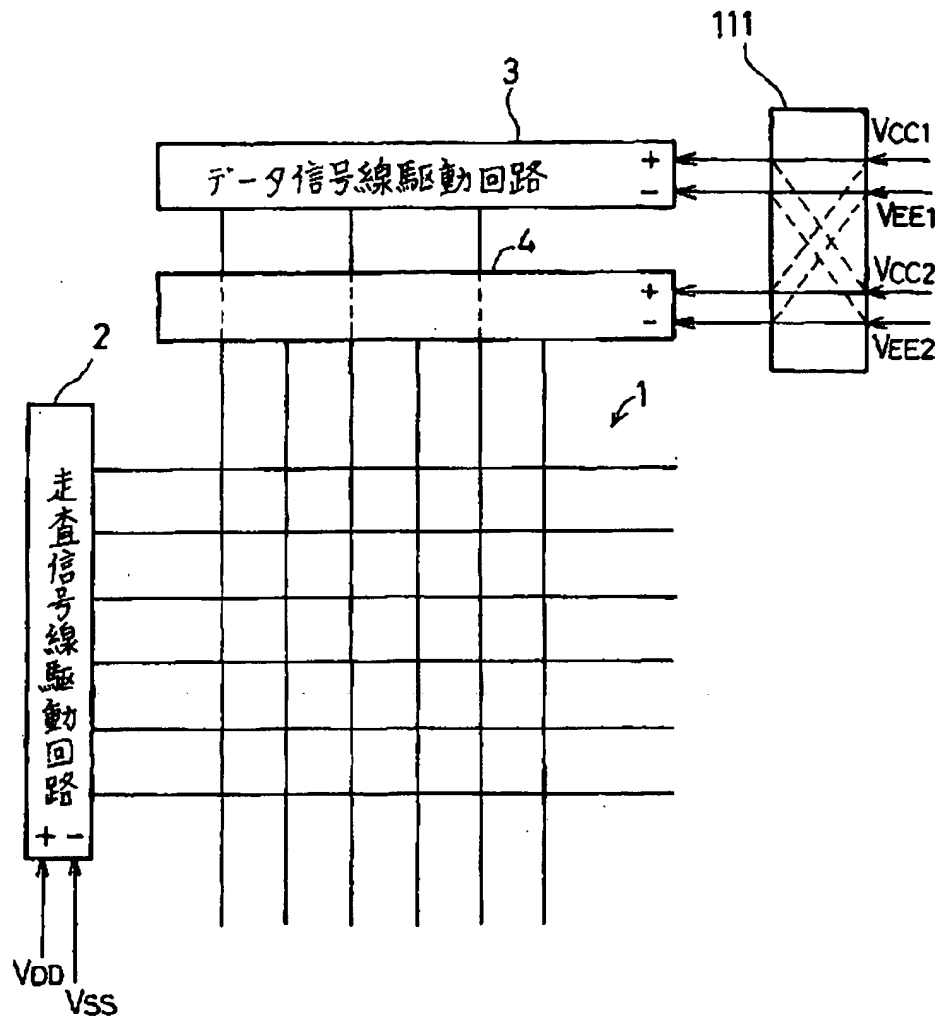
【図19】



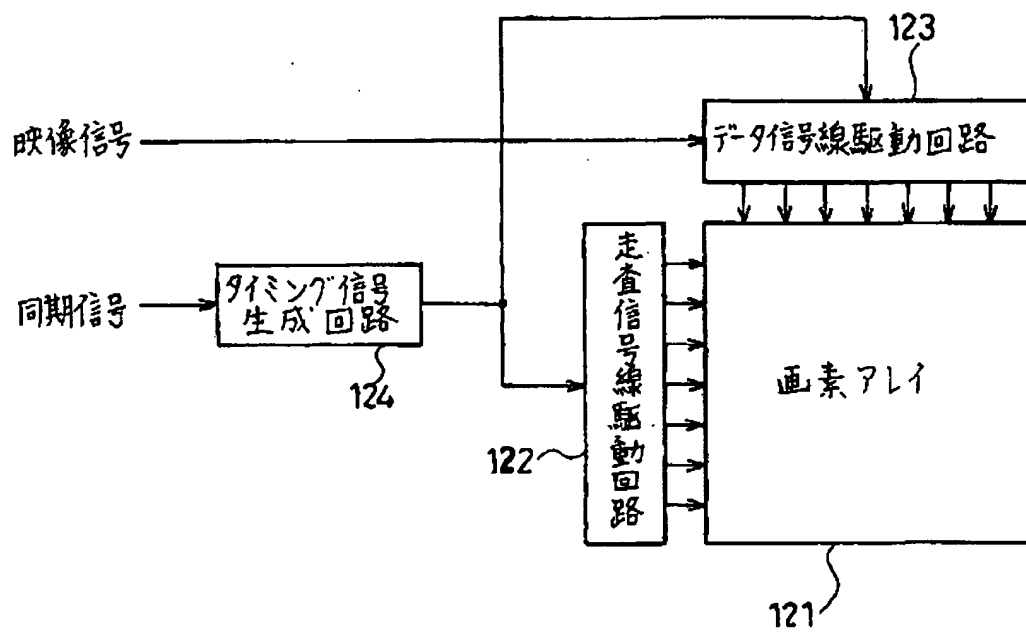
【図 20】



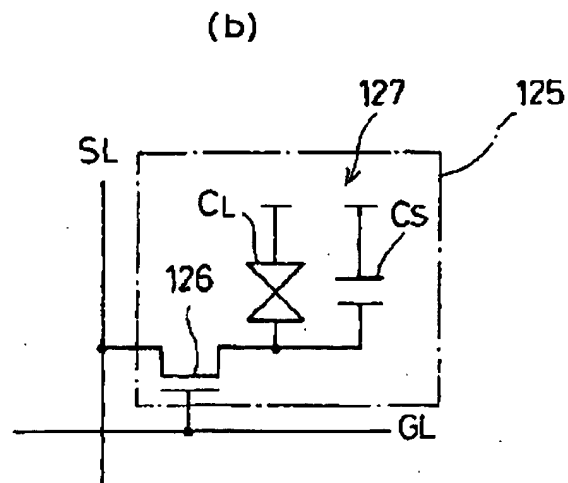
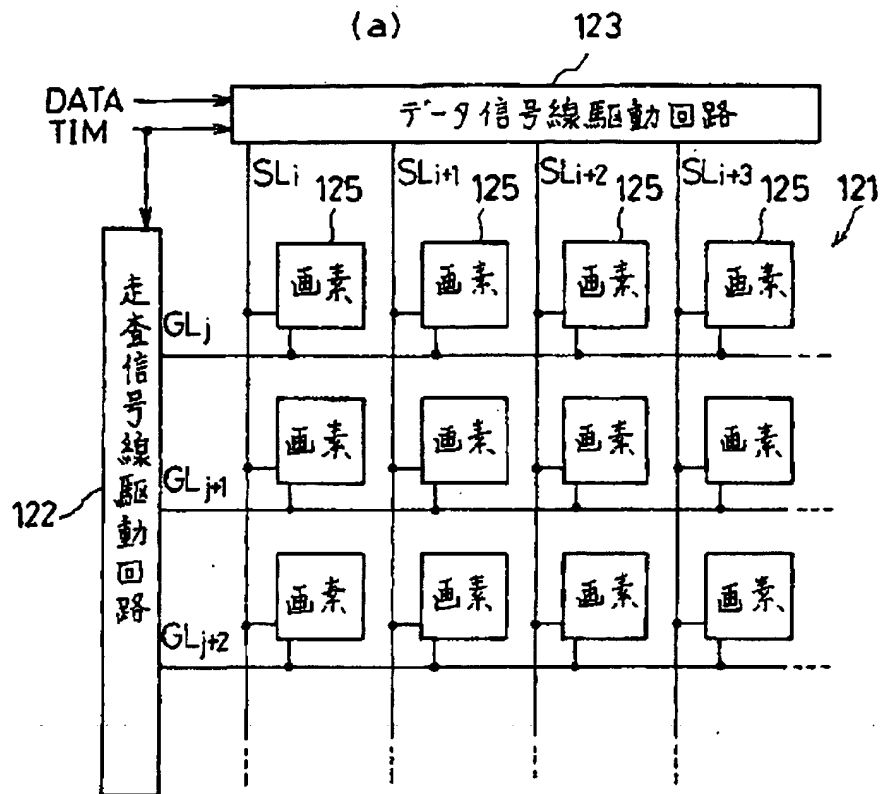
【図 2 1】



【図 22】



【図 2 3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.